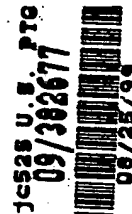


日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1998年11月18日

出 願 番 号
Application Number:

平成10年特許願第327399号

願 人
Applicant(s):

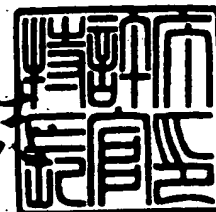
株式会社半導体エネルギー研究所

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 6月23日

特許庁長官
Commissioner,
Patent Office

伴佐山 建



出証番号 出証特平11-3044637

【書類名】 特許願

【整理番号】 P004033-01

【提出日】 平成10年11月18日

【あて先】 特許庁長官 殿

【発明の名称】 半導体表示装置およびその駆動方法

【請求項の数】 15

【発明者】

【住所又は居所】 神奈川県厚木市長谷 398 番地 株式会社半導体エネルギー研究所内

【氏名】 ▼ひろ▲木 正明

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【先の出願に基づく優先権主張】

【出願番号】 平成10年特許願第246417号

【出願日】 平成10年 8月31日

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体表示装置およびその駆動方法

【特許請求の範囲】

【請求項 1】

基準クロック信号を周波数変調し変調クロック信号を得るステップと、
前記変調クロック信号に基づいて画像信号をサンプリングするステップと、
サンプリングされた前記画像信号を対応する画素に供給し画像を得るステップと、
を有する半導体表示装置の駆動方法。

【請求項 2】

基準クロック信号を周波数変調し変調クロック信号を得るステップと、
前記変調クロック信号に基づいてアナログ画像信号をサンプリングし D/A 変換しデジタル画像信号を得るステップと、
前記デジタル画像信号をデジタル信号処理した後、前記基準クロック信号に基づいて A/D 変換し改良アナログ画像信号を得るステップと、
前記改良アナログ画像信号を対応する画素に供給し画像を得るステップと、
を有する半導体表示装置の駆動方法。

【請求項 3】

基準クロック信号を周波数変調し変調クロック信号を得るステップと、
前記基準クロック信号に基づいてアナログ画像信号をサンプリングし D/A 変換しデジタル画像信号を得るステップと、
前記デジタル画像信号をデジタル信号処理した後、前記変調クロック信号に基づいて A/D 変換し改良アナログ画像信号を得るステップと、
前記改良アナログ画像信号を対応する画素に供給し画像を得るステップと、
を有する半導体表示装置の駆動方法。

【請求項 4】

前記変調クロック信号は、前記基準クロック信号の周波数をガウス型のヒストグラムに基づいてシフトさせることによって得られることを特徴とする請求項 1 乃至 3 のいずれか一に記載の半導体表示装置の駆動方法。

【請求項 5】

前記変調クロック信号は、前記基準クロック信号の周波数をランダムにシフトさせることによって得られることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体表示装置の駆動方法。

【請求項 6】

前記変調クロック信号は、前記基準クロック信号の周波数を正弦波的にシフトさせることによって得られることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体表示装置の駆動方法。

【請求項 7】

前記変調クロック信号は、前記基準クロック信号の周波数を三角波的にシフトさせることによって得られることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体表示装置の駆動方法。

【請求項 8】

マトリクス状に配置された複数の薄膜トランジスタを有するアクティブマトリクス回路と、

前記アクティブマトリクス回路を駆動するソース信号線側駆動回路およびゲイト信号線側駆動回路と、

を有する半導体表示装置であって、

前記ソース信号線駆動回路には、基準クロック信号が周波数変調された変調クロック信号が入力され、前記ゲイト信号線側駆動回路には、固定クロック信号が入力されることを特徴とする半導体表示装置。

【請求項 9】

マトリクス状に配置された複数の薄膜トランジスタを有するアクティブマトリクス回路と、

前記アクティブマトリクス回路を駆動するソース信号線側駆動回路およびゲイト信号線側駆動回路と、

を有する半導体表示装置であって、

前記ソース信号線駆動回路には、基準クロック信号が周波数変調された変調クロック信号が入力され、前記ゲイト信号線側駆動回路には、前記変調クロック信

号とは周波数のシフト量または周波数の変調方法が異なる変調クロック信号が入力されることを特徴とする半導体表示装置。

【請求項 10】

パッシブマトリクス回路を有する半導体表示装置であって、

前記パッシブマトリクス回路の信号電極には、基準クロック信号が周波数変調された変調クロック信号に基づいてサンプリングされた画像信号が入力され、

前記パッシブマトリクス回路の走査電極には、固定クロック信号が入力されることを特徴とする半導体表示装置。

【請求項 11】

パッシブマトリクス回路を有する半導体表示装置であって、

前記パッシブマトリクス回路の信号電極には、基準クロック信号が周波数変調された変調クロック信号に基づいてサンプリングされた画像信号が入力され、

前記パッシブマトリクス回路の走査電極には、前記変調クロック信号とは周波数のシフト量または周波数の変調方法が異なる変調クロック信号が入力されることを特徴とする半導体表示装置。

【請求項 12】

前記変調クロック信号は、前記基準クロック信号の周波数をガウス型のヒストグラムに基づいてシフトさせることによって得られることを特徴とする請求項 8 乃至 11 のいずれかに記載の半導体表示装置。

【請求項 13】

前記変調クロック信号は、前記基準クロック信号の周波数をランダムにシフトさせることによって得られることを特徴とする請求項 8 乃至 11 のいずれかに記載の半導体表示装置。

【請求項 14】

前記変調クロック信号は、前記基準クロック信号の周波数を正弦波的にシフトさせることによって得られることを特徴とする請求項 8 乃至 11 のいずれかに記載の半導体表示装置。

【請求項 15】

前記変調クロック信号は、前記基準クロック信号の周波数を三角波的にシフト

させることによって得られることを特徴とする請求項 8 乃至 11 のいずれか一に記載の半導体表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】

本願発明は、表示装置の駆動方法およびその駆動方法を用いた表示装置に関する。本願発明は、特に、絶縁基板上に作製される薄膜トランジスタ（TFT）を有するアクティブマトリクス型半導体表示装置の駆動方法に関する。また、その駆動方法を用いたアクティブマトリクス型半導体表示装置に関する。アクティブマトリクス型半導体表示装置の中でも、特に、アクティブマトリクス型液晶表示装置に関する。

【0003】

【従来の技術】

【0004】

最近安価なガラス基板上に半導体薄膜を形成し、薄膜トランジスタ（TFT）を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置（液晶パネル）の需要が高まってきたことによる。

【0005】

アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの画素領域にそれぞれ画素TFTが配置され（この回路をアクティブマトリクス回路という）、各画素領域にある画素電極に出入りする電荷を画素TFTのスイッチング機能により制御するものである。

【0006】

従来アクティブマトリクス回路には、ガラス基板上に形成されたアモルファスシリコンを用いた薄膜トランジスタが用いられる。

【0007】

最近、石英基板を用いることによって石英基板上に形成された多結晶シリコン膜を用いた薄膜トランジスタを有するアクティブマトリクス型液晶表示装置が実

現されている。この場合、画素TFTを駆動する周辺駆動回路も、アクティブマトリクス回路と同一基板上に作製することができる。

【0008】

また、レーザーアニール等の技術を利用することにより、ガラス基板上に多結晶シリコン膜を形成し、薄膜トランジスタを作製する技術も知られている。この技術を利用すると、同一ガラス基板上にアクティブマトリクス回路と周辺駆動回路とを集積化することができる。

【0009】

【発明が解決しようとする課題】

【0010】

近年、アクティブマトリクス型液晶表示装置がパーソナルコンピュータの表示装置として多用されてきている。しかも、ノート型のパーソナルコンピュータに用いられるだけでなく、デスクトップ型のパーソナルコンピュータにも大画面のアクティブマトリクス型液晶表示装置が用いられるようになってきた。

【0011】

また、小型で高精細・高解像度・高画質なアクティブマトリクス型液晶表示装置を用いたプロジェクター装置が注目を浴びてきている。中でも、より高解像度の映像が表示できるハイビジョン用プロジェクター装置が注目を浴びてきている。

【0012】

従来より、上述したパーソナルコンピュータやプロジェクター装置にはCRTが用いられている。しかし、CRTを用いた場合には、画面のサイズおよび解像度の要求に従って、消費電力、装置の体積、重量などの問題が大きくなってきた。そこで、上述のアクティブマトリクス型液晶表示装置は、従来主として用いられてきたCRTにとって替わるものとされてきた。しかし、従来のアクティブマトリクス型液晶表示装置では、同等の解像度の表示を行った場合においても、CRTと比較して水平解像度が悪いという点が指摘されてきた。

【0013】

ここで、CRTの解像度測定用チャートの映像を図20に示す。一方、図21

に従来のアクティブマトリクス型液晶表示装置を用いたリア型プロジェクター装置の解像度測定用のチャートの映像を示す。CRTおよびアクティブマトリクス型液晶表示装置とも、解像度はSXGA（1240×1024画素）のものを用いた。両者の映像を比較すると、図21に示されている従来のアクティブマトリクス型液晶表示装置を用いたリア型プロジェクター装置の映像は、図20に示されるCRTの映像に比べて、水平解像度が悪くなっていることがわかる（矢印で示す箇所）。

【0014】

このように、従来のアクティブマトリクス型液晶表示装置では、同規格のCRTと比較して水平解像度が悪くなってしまい、CRTの様な高画質な映像を再現することが難しい。

【0015】

また、パッシブマトリクス型液晶表示装置は、アクティブマトリクス型液晶表示装置に比べて画質が劣るとされているが、パッシブマトリクス型液晶表示装置は、構造が簡単で安価であるという点で、種々の分野で需要が有る。しかし、現在のパッシブマトリクス型液晶表示装置は、アクティブマトリクス型液晶表示装置と張り合えるだけの画質を達成することはできていない。

【0016】

そこで、本願発明は、上述した問題を鑑みてなされたものであり、新規な駆動方法を用いることによってアクティブマトリクス型半導体表示装置の水平解像度の向上を実現することを目的とする。また、新規な駆動方法をパッシブマトリクスに用いることによって、パッシブマトリクス型液晶表示装置の画質の向上を実現することを目的とする。

【0017】

【課題を解決するための手段】

【0018】

本願発明によると、基準クロック信号が一定周期で周波数変調された変調クロック信号をアクティブマトリクス型半導体表示装置の駆動回路またはパッシブマトリクス型半導体表示装置の駆動回路に供給することにより、この変調クロック

信号に基づいてサンプリングされるビデオ信号（画像信号）のサンプリング近傍の信号情報（エッジの有無、近さ）を半導体表示装置の該当する画素に濃淡情報として書き込むことができる。この本願発明の駆動方法は、このような濃淡情報によって、結果的に表示の見え方として解像度が上がったように見える現象（視覚のMach現象およびCrain-O'Brien現象）を利用するものである。

【0019】

以下に、本願発明の半導体表示装置の駆動方法およびその駆動方法を用いた半導体表示装置の構成について記載する。

【0020】

請求項1に記載の本願発明の半導体表示装置の駆動方法は、
基準クロック信号を周波数変調し変調クロック信号を得るステップと、
前記変調クロック信号に基づいて画像信号をサンプリングするステップと、
サンプリングされた前記画像信号を対応する画素に供給し画像を得るステップと、
を有している。

【0021】

請求項2に記載の本願発明の半導体表示装置の駆動方法は、
基準クロック信号を周波数変調し変調クロック信号を得るステップと、
前記変調クロック信号に基づいてアナログ画像信号をサンプリングしD/A変換しデジタル画像信号を得るステップと、
前記デジタル画像信号をデジタル信号処理した後、前記基準クロック信号に基づいてA/D変換し改良アナログ画像信号を得るステップと、
前記改良アナログ画像信号を対応する画素に供給し画像を得るステップと、
を有している。

【0022】

請求項3に記載の本願発明の半導体表示装置の駆動方法は、
基準クロック信号を周波数変調し変調クロック信号を得るステップと、
前記基準クロック信号に基づいてアナログ画像信号をサンプリングしD/A変

換しデジタル画像信号を得るステップと、

前記デジタル画像信号をデジタル信号処理した後、前記変調クロック信号に基づいてA/D変換し改良アナログ画像信号を得るステップと、

前記改良アナログ画像信号を対応する画素に供給し画像を得るステップと、
を有している。

【0023】

請求項4に記載の本願発明の半導体表示装置の駆動方法によると、

前記変調クロック信号は、前記基準クロック信号の周波数をガウス型のヒストグラムに基づいてシフトさせることによって得られる様にしても良い。

【0024】

請求項5に記載の本願発明の半導体表示装置の駆動方法によると、

前記変調クロック信号は、前記基準クロック信号の周波数をランダムにシフトさせることによって得られる様にしても良い。

【0025】

請求項6に記載の本願発明の半導体表示装置の駆動方法によると、

前記変調クロック信号は、前記基準クロック信号の周波数を正弦波的にシフトさせることによって得られる様にしても良い。

【0026】

請求項7に記載の本願発明の半導体表示装置の駆動方法によると、

前記変調クロック信号は、前記基準クロック信号の周波数を三角波的にシフトさせることによって得られる様にしても良い。

【0027】

請求項8に記載の本願発明の半導体表示装置は、

マトリクス状に配置された複数の薄膜トランジスタを有するアクティブマトリクス回路と、

前記アクティブマトリクス回路を駆動するソース信号線側駆動回路およびゲート信号線側駆動回路と、

を有する半導体表示装置であって、

前記ソース信号線駆動回路には、基準クロック信号が周波数変調された変調ク

ロック信号が入力され、前記ゲイト信号線側駆動回路には、固定クロック信号が入力されることを特徴としている。

【0028】

請求項9に記載の本願発明の半導体表示装置は、

マトリクス状に配置された複数の薄膜トランジスタを有するアクティブマトリクス回路と、

前記アクティブマトリクス回路を駆動するソース信号線側駆動回路およびゲイト信号線側駆動回路と、

を有する半導体表示装置であって、

前記ソース信号線駆動回路には、基準クロック信号が周波数変調された変調クロック信号が入力され、前記ゲイト信号線側駆動回路には、前記変調クロック信号とは周波数のシフト量または周波数の変調方法が異なる変調クロック信号が入力されることを特徴としている。

【0029】

請求項10に記載の本願発明の半導体表示装置は、

パッシブマトリクス回路を有する半導体表示装置であって、

前記パッシブマトリクス回路の信号電極には、基準クロック信号が周波数変調された変調クロック信号に基づいてサンプリングされた画像信号が入力され、

前記パッシブマトリクス回路の走査電極には、固定クロック信号が入力されることを特徴としている。

【0030】

請求項11に記載の本願発明の半導体表示装置は、

パッシブマトリクス回路を有する半導体表示装置であって、

前記パッシブマトリクス回路の信号電極には、基準クロック信号が周波数変調された変調クロック信号に基づいてサンプリングされた画像信号が入力され、

前記パッシブマトリクス回路の走査電極には、前記変調クロック信号とは周波数のシフト量または周波数の変調方法が異なる変調クロック信号が入力されることを特徴としている。

【0031】

請求項 12 に記載の本願発明の半導体表示装置によると、

前記変調クロック信号は、前記基準クロック信号の周波数をガウス型のヒストグラムに基づいてシフトさせることによって得られる様にしても良い。

【0032】

請求項 13 に記載の本願発明の半導体表示装置によると、

前記変調クロック信号は、前記基準クロック信号の周波数をランダムにシフトさせることによって得られる様にしても良い。

【0033】

請求項 14 に記載の本願発明の半導体表示装置によると、

前記変調クロック信号は、前記基準クロック信号の周波数を正弦波的にシフトさせることによって得られる様にしても良い。

【0034】

請求項 15 に記載の本願発明の半導体表示装置によると、

前記変調クロック信号は、前記基準クロック信号の周波数を三角波的にシフトさせることによって得られる様にしても良い。

【0035】

【発明の実施の形態】

【0036】

本願発明の駆動方法を順を追って説明する。まず図 1 を参照する。図 1 には、本願発明を説明するための源画像のビデオ信号への変換の様子が示されている。

「A」という源画像がライン L1～L14 でビデオ信号化されている。なお図 1 では、「A」という源画像は白色のバックグラウンドに黒色で示されており、源画像「A」は濃淡がなく一様な明るさを有するものであるとする。源画像のライン L1～L14 のそれぞれに対応したビデオ信号は、sig. 1～sig. 14 で示される。

【0037】

次に図 2 を参照する。図 2 には、源画像「A」に基づく各ラインのビデオ信号 sig. 1～sig. 14 を従来の基準クロック信号によってサンプリングし、アクティブマトリクス型半導体表示装置の画面に表示した様子を示している。な

お、ビデオ信号から引き出されている破線と画面表示の各ライン $L'_{1 \sim 14}$ を示す破線との交点をほぼ中心として示されている口が、アクティブマトリクス型半導体表示装置の各画素であるとする。

【0038】

各ラインビデオ信号は、基準クロック信号によってサンプリングされる。ここでは、ビデオ信号は基準クロック信号のパルスの立ち上がり時と立ち下がり時にサンプリングされる。サンプリングされたビデオ信号によって半導体表示装置の各画素に画像情報が書き込まれ、画面全体として映像が表示される。画面表示において、黒表示されている画素が画像情報が書き込まれた画素である。このように、アクティブマトリクス型半導体表示装置においては、画素に書き込まれた画像情報の集合として画像が得られる。一般に、このような画像情報の書き込みが1秒間に30回～60回行われることによって、アクティブマトリクス型半導体表示装置の画面表示が行われている。

【0039】

ここで、本願発明の駆動方法に用いられる変調クロック信号について説明する。基準クロック信号が一定の周波数で動作するのに対して、変調クロック信号はある一定の周期でクロック信号の周波数が変化（シフト）しているクロックを言う。つまり、変調クロック信号とは周波数変調されているクロック信号を言う。なお、変調クロック信号については、文献”Frequency modulation of System Clocks for EMI Reduction” (Hewlett-Packard Journal, August 1997, P101～P106) に詳しい。但し、上述の文献においては、集積回路の分野において、変調クロック信号を用いることによってクロック信号のEMI (electromagnetic interference; 電磁障害) を低減することが記載されているだけである。

【0040】

なお、本願発明の駆動方法には、基準となる基準クロック信号を周波数変調して得られる如何なる変調クロック信号をも用いることができる。従って、上述の文献等の方法以外の如何なる方法による変調クロック信号をも用いることができ

る。

【0041】

次に、ある一定の周期で周波数変調された変調クロック信号を用いて本願発明の駆動方法を説明する。まず図4を参照する。図4（A）には、基準クロック信号とある一定の周期で周波数変調された変調クロック信号とが示されている。ここでは、変調クロック信号の周波数の変化を時間軸におけるパルスの立ち上がり時または立ち下がり時の変位として説明する。まず、基準クロック信号のパルスのホールド期間 T_H （パルスの立ち上がり時から立ち下がり時までの期間またはパルスの立ち下がり時から立ち上がり時までの期間）を5等分して考え、このホールド期間 T_H を5等分した期間を t とする（ $T_H = 5t$ ）。そして、基準クロック信号のパルスを基準として、パルスの立ち上がり時および立ち下がり時の時間的な変位を考える。ここで挙げる例においては、パルスの立ち上がり時または立ち下がり時の時間的な変位は、図4（B）に示す様に、基準クロックパルスの立ち上がり時または立ち下がり時を基準として、 $0 \rightarrow +t \rightarrow -t \rightarrow 0 \rightarrow +2t \rightarrow 0 \rightarrow -2t \rightarrow 0 \rightarrow +t \rightarrow -t \rightarrow 0 \rightarrow +t \rightarrow \dots$ と変化している。ここで「 $+t$ 」とは時間 t だけ進んで変位することを表し、「 0 」とは変位しないことを表し、また「 $-t$ 」とは時間 t だけ遅れて変位することを表している。これらの時間的な変位は図4（C）に示されるガウス型のヒストグラムに従っている。このようにして、ここで挙げた変調クロック信号は基準クロック信号のパルスの立ち上がり時および立ち下がり時を基準として、時間 $\pm 2t$ または $\pm t$ だけ変位することによって得られる。また、変調クロック信号の1周期は5パルスである。

【0042】

この変調クロック信号は、基準クロック信号の周波数を100%とすると、約+67%～約-29%の周波数シフトが生じている。

【0043】

次に図3および図23を参照する。図3および図23には、本願発明の駆動方法の変調クロック信号による各ラインのビデオ信号のサンプリングおよびライン $L''1 \sim L''14$ による画面表示が示されている。図3では、前述の図4で説明した変調クロック信号を用いた。また各ラインのビデオ信号は前述の図1に示す

ものを用いた。なおリファレンスの為、基準クロック信号も図中に示されている。なお、図3と図23とは同じ図であるが、画面表示の各画素の濃淡が説明の便宜上図23では除去されている。

【0044】

各ラインのビデオ信号 $sig. 1 \sim sig. 14$ は、変調クロック信号のパルスの立ち上がり時および立ち下がり時にサンプリングされ、対応する画素に画像情報として書き込まれる。

【0045】

まず、1フレーム目には、各ラインのビデオ信号 $sig. 1 \sim sig. 14$ は変調クロック信号1のパルスタイミングでサンプリングされ、対応する画素に画像情報が書き込まれる。次に、2フレーム目には、各ラインのビデオ信号 $sig. 1 \sim sig. 14$ は変調クロック信号2のパルスタイミングでサンプリングされ、対応する画素に画像情報が書き込まれる。変調クロック信号1と変調クロック信号2は、 $1/10$ 周期だけずれている。さらに、3フレーム目には、各ラインのビデオ信号 $sig. 1 \sim sig. 14$ は変調クロック信号3のパルスタイミングでサンプリングされ、対応する画素に画像情報が書き込まれる。なお変調クロック信号2と変調クロック信号3は、 $1/10$ 周期だけずれている。このようにして、1～10フレーム目までのビデオ信号のサンプリングおよび対応する画素への画像情報の書き込みが順に行われる。

【0046】

10フレーム分の画像情報が書き込まれた時の画面表示が図3の下部に、ライン $L'' 1 \sim L'' 14$ の表示として示されている。なお、図3および図23の各画素には、それぞれ1、2、3、7、9および10という数字が記載されている。これらの数字は、10フレーム書き込まれる間に、その画素には何回画像情報が書き込まれたか（例えば、1ならば1回、7ならば7回、10ならば10回）が示されている。この画面表示例から理解される様に、本願発明の変調クロック信号を用いた駆動方法においては、従来の基準クロックを用いた駆動方法と比較して、画像の輪郭部では、10フレームのうち画像情報が書き込まれないフレームが存在する。よって、このことが濃淡情報として画素で表現されることになる。

このように画像の輪郭部に濃淡情報を有する画像は、上述の視覚のM a c h現象およびC r a i k - O ' B r i e n現象によって、観測者には表示の見え方として解像度が上がったように見える。

【0047】

なお、変調クロック信号の周波数変調の周期および周波数シフトの量などは、任意に設定したものを用いることができる。例えば、周波数シフトの量が時間軸に対して正弦波的または三角波的に変化する変調クロック信号や、周波数シフトの量が時間軸に対して全くランダムに変化する変調クロック信号なども用いることができる。

【0048】

【実施例】

【0049】

ここで、以下の実施例をもって本願発明の駆動方法およびその駆動方法を用いた半導体装置の具体例について説明する。ただし、本願発明は、以下の実施例に限定されるわけではない。

【0050】

(実施例1)

【0051】

本実施例においては、本願発明の半導体表示装置の駆動方法を用いることのできる半導体表示装置として、アクティブマトリクス型液晶表示装置を例にとって説明する。

【0052】

図5を参照する。図5には、本実施例のアクティブマトリクス型液晶表示装置の概略構成図が示されている。501はソース信号線側駆動回路であり、変調クロック、スタートパルス等が入力される。502はゲイト信号線側駆動回路であり、固定クロック、スタートパルス等が入力される。本願明細書では、固定クロックとは、基準クロック信号を基にして一定の周波数で動作するクロック信号を言う。503はアクティブマトリクス回路であり、ゲイト信号線507およびソース信号線508の交点のそれぞれにマトリクス状に配置された画素を有する。

それぞれの画素は薄膜トランジスタ504を有する。また、薄膜トランジスタのドレイン電極には画素電極（図示せず）および補助容量506が接続されている。また、505はアクティブマトリクス回路と対向基板（図示せず）との間に挟持された液晶である。また、509はビデオ信号線であり、外部からビデオ信号が入力される。なお、本実施例のアクティブマトリクス型液晶表示装置は、横1280×縦1024画素を有しており、ハイビジョンに対応している。

【0053】

次に図6を参照する。図6には、本実施例のアクティブマトリクス型液晶表示装置のソース信号線側駆動回路の回路構成図が示されている。600はシフトレジスタ回路である。シフトレジスタ回路600は、インバータ601、クロックドインバータ602およびNAND回路603等を有する。なお、図6においては、クロックドインバータを動作させるためのクロック信号は1つしか入力されていないように図示されているが、実際の回路構成においては、前記クロック信号の反転信号も入力されるようになっている。604はレベルシフタ回路であり、605はアナログスイッチ回路である。レベルシフタ回路604の回路構成は図7に示される。

【0054】

ソース信号線側駆動回路501には、変調クロック信号（m-CLK）、変調クロック信号の反転信号（m-CLKb）、スタートパルス（SP）、および左右走査切り替え信号（SL/R）が入力される。

【0055】

外部から入力される変調クロック信号、変調クロックの反転信号、スタートパルス（SP）および左右走査切り替え信号によってシフトレジスタ回路が動作し、左右走査切り替え信号がSL/RにHiが入力される時、ビデオ信号をサンプリングする信号が、左から右に向かって順にNAND回路から出力される。本実施例のソース信号線側駆動回路によると、上述の発明の実施の形態で説明したように、変調クロックパルスの立ち上がり時および立ち下がり時にビデオ信号をサンプリングする信号が順に出力される。ビデオ信号をサンプリングする信号は、レベルシフタ回路によってその電圧レベルが高電圧側にシフトし、アナログスイ

ッチ 605 に入力される。アナログスイッチ 605 は、前記サンプリング信号の入力によって、ビデオ信号線から供給されるビデオ信号をサンプリングし、ソース信号線（S1～S4～S1280（図示せず））に供給する。ソース信号線に供給されたビデオ信号は、対応する画素の薄膜トランジスタにビデオ信号を供給する。

【0056】

なお、変調クロックを得る為のモジュールとしては、IC WORKS 社製の W42C31-09 等が挙げられる。

【0057】

ここで、本実施例のアクティブマトリクス型液晶表示装置のゲイト信号線側駆動回路の回路構成についても説明する。図 8 を参照する。800 はシフトレジスタ回路である。シフトレジスタ回路 800 は、インバータ回路、クロックドインバータ回路および NAND 回路等を有する。レベルシフト回路の回路構成は図 7 に示される回路と同様である。

【0058】

外部から入力されるクロック信号およびスタートパルスによってシフトレジスタ回路が動作し、ゲイト信号線を選択するための信号が、左から右に向かって順に NAND 回路から出力される。

【0059】

ここで、本実施例で説明したアクティブマトリクス型液晶表示装置の作製方法例を以下に説明する。本実施例では、絶縁表面を有する基板上に複数の TFT を形成し、画素マトリクス回路、駆動回路、およびロジック回路等をモノリシックに構成する例を図 9～図 12 に示す。なお、本実施例では、画素マトリクス回路の 1 つの画素と、他の回路（駆動回路、ロジック回路等）の基本回路である CMOS 回路とが同時に形成される様子を示す。また、本実施例では、CMOS 回路においては P チャネル型 TFT と N チャネル型 TFT とがそれぞれ 1 つのゲイト電極を備えている場合について、その作製工程を説明するが、ダブルゲイト型やトリプルゲイト型のような複数のゲイト電極を備えた TFT による CMOS 回路をも同様に作製することができる。また、本実施例では、画素 TFT においては

ダブルゲイトのNチャネル型TFTが用いられているが、シングルゲイト、トリプルゲイト等のTFTも用いることができる。

【0060】

図9(A)を参照する。まず、絶縁表面を有する基板として石英基板901を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。石英基板上に一旦非晶質シリコン膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板またはシリコン基板を用いても良い。次に、下地膜901を形成する。本実施例では、下地膜901には酸化シリコン(SiO_2)が用いられた。次に、非晶質シリコン膜903を形成する。非晶質シリコン膜903は、最終的な膜厚(熱酸化後の膜減りを考慮した膜厚)が10~75nm(好ましくは15~45nm)となる様に調節する。

【0061】

なお、非晶質シリコン膜903の成膜に際して膜中の不純物濃度の管理を徹底的に行うことが重要である。本実施例の場合、非晶質シリコン膜903中では、後の結晶化を阻害する不純物であるC(炭素)およびN(窒素)の濃度はいずれも $5 \times 10^{18} \text{ atoms/cm}^3$ 未満(代表的には $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下)、O(酸素)は $1.5 \times 10^{19} \text{ atoms/cm}^3$ 未満(代表的には $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下)となる様に管理する。なぜならば各不純物がこれ以上の濃度で存在すると、後の結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となるからである。本明細書中において膜中の上記の不純物元素濃度は、SIMS(質量2次イオン分析)の測定結果における最小値で定義される。

【0062】

上記構成を得るため、本実施例で用いる減圧熱CVD炉は定期的にドライクリーニングを行い、成膜室の清浄化を図っておくことが望ましい。ドライクリーニングは、200~400℃程度に加熱した炉内に100~300sccmの ClF_3 (フッ化塩素)ガスを流し、熱分解によって生成したフッ素によって成膜室

のクリーニングを行えば良い。

【0063】

なお、本出願人の知見によれば炉内温度300℃とし、 ClF_3 ガスの流量を300 s c c mとした場合、約2 μ m厚の付着物（主にシリコンを主成分する）を4時間で完全に除去することができる。

【0064】

また、非晶質シリコン膜903中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質シリコン膜903の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。

【0065】

次に、非晶質シリコン膜903の結晶化工程を行う。結晶化の手段としては特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施例2のどちらの手段でも良いが、本実施例では、同公報の実施例2に記載した技術内容（特開平8-78329号公報に詳しい）を利用するのが好ましい。

【0066】

特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜904を150 nmに形成する。マスク絶縁膜904は触媒元素を添加するために複数箇所の開口部を有している。この開口部の位置によって結晶領域の位置を決定することができる（図9（B））。

【0067】

そして、非晶質シリコン膜903の結晶化を助長する触媒元素としてニッケル（Ni）を含有した溶液（Ni酢酸塩エタノール溶液）905をスピンコート法により塗布する。なお、触媒元素としてはニッケル以外にも、コバルト（Co）、鉄（Fe）、パラジウム（Pd）、ゲルマニウム（Ge）、白金（Pt）、銅（Cu）、金（Au）等を用いることができる（図9（B））。

【0068】

また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面

積の低減、後述する横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0069】

触媒元素の添加工程が終了したら、次に、450℃で1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～960℃（代表的には550～650℃）の温度で4～24時間の加熱処理を加えて非晶質シリコン膜903の結晶化を行う。本実施例では窒素雰囲気中570℃で14時間の加熱処理を行う。

【0070】

この時、非晶質シリコン膜903の結晶化は、ニッケルを添加した領域906で発生した核から優先的に進行し、基板901の基板面に対してほぼ平行に成長した多結晶シリコン膜からなる結晶領域907が形成される。この結晶領域907を横成長領域と呼ぶ。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある。

【0071】

なお、マスク絶縁膜904を用いずに、Ni酢酸溶液を非晶質シリコン膜の前面に塗布し結晶化させることもできる。

【0072】

図9(D)を参照する。次に、触媒元素のゲッタリングプロセスを行う。まず、リンイオンのドーピングを選択的に行う。マスク絶縁膜904が形成された状態で、リンのドーピングを行う。すると、多結晶シリコン膜のマスク絶縁膜904で覆われていない部分908のみに、リンがドーピングされる（これらの領域をリン添加領域908と呼ぶ）。このとき、ドーピングの加速電圧と、酸化膜で成るマスクの厚さを最適化し、リンがマスク絶縁膜904を突き抜けないようにする。このマスク絶縁膜904は、必ずしも酸化膜でなくてもよいが、酸化膜は活性層に直接触れても汚染の原因にならないので都合がよい。

【0073】

リンのドーピング量は、 1×10^{14} から 1×10^{15} ions/cm² 程度とすると良い。本実施例では、 5×10^{14} ions/cm² のドーピング量をイオンドーピング

装置を用いて行った。

【0074】

なお、イオンドープの際の加速電圧は10keVとした。10keVの加速電圧であれば、リンは150nmのマスク絶縁膜をほとんど通過することができない。

【0075】

図9(E)を参照する。次に、600℃の窒素雰囲気にて1～12時間（本実施例では12時間）熱アニールし、ニッケル元素のゲッタリングを行った。こうすることによって、図9(E)において矢印で示されるように、ニッケルがリンに吸い寄せられることになる。600度の温度のもとでは、リン原子は膜中をほとんど動かないが、ニッケル原子は数100μm程度またはそれ以上の距離を移動することができる。このことからリンがニッケルのゲッタリングに最も適した元素の1つであることが理解できる。

【0076】

次に図10(A)を参照し、多結晶シリコン膜をパターニングする工程を説明する。このとき、リンの添加領域908、すなわちニッケルがゲッタリングされた領域が残らないようにする。このようにして、ニッケル元素をほとんど含まない多結晶シリコン膜の活性層909～911が得られた。得られた多結晶シリコン膜の活性層909～911が後にTFTの活性層となる。

【0077】

図10(B)を参照する。活性層909～911を形成したら、その上にシリコンを含む絶縁膜でなるゲイト絶縁膜912を70nmに成膜する。そして、酸化性雰囲気において、800～1100℃（好ましくは950～1050℃）で加熱処理を行い、活性層909～911とゲイト絶縁膜912の界面に熱酸化膜（図示せず）を形成する。

【0078】

なお、触媒元素をゲッタリングするための加熱処理（触媒元素のゲッタリングプロセス）を、この段階で行っても良い。その場合、加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による触媒元素のゲッタリング効果を利用

する。なお、ハロゲン元素によるゲッターリング効果を十分に得るためには、上記加熱処理を700℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッターリング効果が得られなくなる恐れがある。また、この場合ハロゲン元素を含むガスとして、代表的にはHCl、HF、NF₃、HBr、Cl₂、ClF₃、BCl₂、F₂、Br₂等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることができる。この工程においては、例えばHClを用いた場合、活性層中のニッケルが塩素の作用によりゲッターリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。また、ハロゲン元素を用いて触媒元素のゲッターリングプロセスを行う場合、触媒元素のゲッターリングプロセスを、マスク絶縁膜904を除去した後、活性層をパターンニングする前に行なってもよい。また、触媒元素のゲッターリングプロセスを、活性層をパターンニングした後に行なってもよい。また、いずれのゲッターリングプロセスを組み合わせてもよい。

【0079】

次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターンニングによって後のゲイト電極の原型を形成する。本実施例では2wt%のスカンジウムを含有したアルミニウム膜を用いる。

【0080】

また、導電性を付与するための不純物を添加した多結晶シリコン膜によってゲイト電極を形成しても良い。

【0081】

次に、特開平7-135318号公報記載の技術により多孔性陽極酸化膜913~920、無孔性陽極酸化膜921~924およびゲイト電極925~928を形成する(図10(B))。

【0082】

こうして図10(B)の状態が得られたら、次にゲイト電極925~928および多孔性陽極酸化膜913~920をマスクとしてゲイト絶縁膜912をエッチングする。そして、多孔性陽極酸化膜913~920を除去し、図10(C)の状態を得る。なお、図10(C)において929~931で示されるのは加工

後のゲイト絶縁膜である。

【0083】

図11(A)を参照する。次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としてはNチャネル型ならばP(リン)またはAs(砒素)、P型ならばB(ボロン)またはGa(ガリウム)を用いれば良い。

【0084】

本実施例では、Nチャネル型およびPチャネル型のTFETを形成するための不純物添加をそれぞれ2回の工程に分けて行う。

【0085】

最初に、Nチャネル型のTFETを形成するための不純物添加を行う。まず、1回目の不純物添加(本実施例ではP(リン)を用いる)を高加速電圧80keV程度で行い、 n^- 領域を形成する。この n^- 領域は、Pイオン濃度が $1 \times 10^{18} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$ となるように調節する。

【0086】

さらに、2回目の不純物添加を低加速電圧10keV程度で行い、 n^+ 領域を形成する。この時は、加速電圧が低いので、ゲイト絶縁膜がマスクとして機能する。また、この n^+ 領域は、シート抵抗が500Ω以下(好ましくは300Ω以下)となるように調節する。

【0087】

以上の工程を経て、CMOS回路を構成するNチャネル型TFETのソース領域およびドレイン領域932および933、低濃度不純物領域936、チャネル形成領域939が形成される。また、画素TFETを構成するNチャネル型TFETのソース領域およびドレイン領域934および935、低濃度不純物領域937、チャネル形成領域940および914が確定する(図11(A))。

【0088】

なお、図11(A)に示す状態ではCMOS回路を構成するPチャネル型TFETの活性層は、Nチャネル型TFETの活性層と同じ構成となっている。

【0089】

次に、図11(B)に示すように、Nチャネル型TFETを覆ってレジストマス

ク 9 4 2 を設け、P 型を付与する不純物イオン（本実施例ではボロンを用いる）の添加を行う。

【0090】

この工程も前述の不純物添加工程と同様に 2 回に分けて行うが、N チャネル型を P チャネル型に反転させる必要があるため、前述の P イオンの添加濃度の数倍程度の濃度の B（ボロン）イオンを添加する。

【0091】

こうして CMOS 回路を構成する P チャネル型 TFT のソース領域およびドレイン領域 9 4 3 および 9 4 4、低濃度不純物領域 9 4 5、チャネル形成領域 9 4 6 が形成される（図 1 1（B））。

【0092】

また、導電性を付与するための不純物を添加した多結晶シリコン膜によってゲイト電極を形成した場合は、低濃度不純物の形成には公知のサイドウォール構造を用いれば良い。

【0093】

次に、ファーンেসアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0094】

図 1 1（C）を参照する。次に、第 1 層間絶縁膜 9 4 7 として酸化シリコン膜と窒化シリコン膜との積層膜を形成し、コンタクトホールを形成した後、ソース電極およびドレイン電極 9 4 8～9 5 2 を形成する。なお、第 1 層間絶縁膜 9 4 7 として有機性樹脂膜を用いることもできる。

【0095】

図 1 2 を参照する。次に、有機性樹脂膜からなる第 2 層間絶縁膜 9 5 3 を 0.5～3 μm の厚さに形成する。有機性樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等が用いられる。有機性樹脂膜の利点は、成膜方法が簡単である点、容易に膜厚を厚くできる点、比誘電率が低いので寄生容量を低減できる点、平坦性に優れている点などが挙げられる。なお、上述した以外の有機性樹脂膜

を用いることもできる。

【0096】

次に、第2層間絶縁膜953の一部をエッチングし、画素TFTのドレイン電極952の上部に第2層間絶縁膜を挟んでブラックマトリクス954を形成する。本実施例では、ブラックマトリクス954にはTi（チタン）が用いられた。なお、本実施例では、画素TFTとブラックマスクとの間で補助容量が形成される。

【0097】

次に、第2層間絶縁膜953にコンタクトホールを形成し、画素電極956を120nmの厚さに形成する。なお、本実施例は透過型のアクティブマトリクス液晶表示装置の例であるため、画素電極956を構成する導電膜としてITO等の透明導電膜を用いる。

【0098】

次に、基板全体を350℃の水素雰囲気中で1～2時間加熱し、素子全体の水素化を行うことで膜中（特に活性層中）のダングリングボンド（不対結合手）を補償する。以上の工程を経て同一基板上にCMOS回路および画素マトリクス回路を有するアクティブマトリクス基板が完成する。

【0099】

次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【0100】

図12（B）の状態のアクティブマトリクス基板に配向膜957を形成する。本実施例では、配向膜957にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板958、透明導電膜から成る対向電極959、配向膜960とで構成される。

【0101】

なお、本実施例では、配向膜にはポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施した。なお、本実施例では、配向膜に比較的大きなプレチル角を持つようなポリイミドを用いた。

【0102】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（共に図示せず）などを介して貼り合わせる。その後、両基板の間に液晶 961 を注入し、封止剤（図示せず）によって完全に封止する。本実施例では、液晶 961 にネマチック液晶を用いた。

【0103】

よって、図 12（C）に示すような透過型のアクティブマトリクス型液晶表示装置が完成する。

【0104】

なお、本実施例で説明した非晶質シリコン膜の結晶化の方法の代わりに、レーザー光（代表的にはエキシマレーザー光）によって、非晶質シリコン膜の結晶化を行ってもよい。

【0105】

（実施例 2）

【0106】

本実施例では、本願発明の駆動方法を実現することができるアクティブマトリクス型液晶表示装置の例として、逆スタガ型の TFT を用いた例を示す。

【0107】

図 13 を参照する。図 13 には、本実施例のアクティブマトリクス型液晶表示装置を構成する逆スタガ型の N チャネル型 TFT の断面図が示されている。なお、図 13 には、1 つの N チャネル型 TFT しか図示しないが、実施例 1 のように、P チャネル型 TFT と N チャネル型 TFT とによって CMOS 回路を構成することもできるのは言うまでもない。また、同様の構成により画素 TFT を構成することも言うまでもない。

【0108】

1301 は基板であり、実施例 1 で説明したようなものが用いられる。1302 は酸化シリコン膜である。1303 はゲイト電極である。1304 はゲイト絶縁膜である。1305、1306、1307 および 1308 は、多結晶シリコン膜から成る活性層である。この活性層の作製にあたっては、実施例 1 で説明した

非晶質シリコン膜の多結晶化と同様の方法が用いられた。またレーザー光（好ましくは線状レーザー光または面状レーザー光）によって、非晶質シリコン膜を結晶化させる方法をとっても良い。なお、1305はソース領域、1306はドレイン領域、1307は低濃度不純物領域（LDD領域）、1308はチャネル形成領域である。1309はチャネル保護膜であり、1310は層間絶縁膜である。1311および1312はそれぞれ、ソース電極、ドレイン電極である。

【0109】

（実施例3）

【0110】

本実施例では、実施例3とは構成が異なる逆スタガ型のTFTによってアクティブマトリクス型液晶表示装置が構成された場合について説明する。

【0111】

図14を参照する。図14には、本実施例のアクティブマトリクス型液晶表示装置を構成する逆スタガ型のNチャネル型TFTの断面図が示されている。ここでも、1つのNチャネル型TFTしか図示しないが、実施例1のように、Pチャネル型TFTとNチャネル型TFTとによってCMOS回路を構成することもできるのは言うまでもない。また、同様の構成により画素TFTを構成することも言うまでもない。

【0112】

1401は基板であり、実施例1で説明したようなものが用いられる。1402は酸化シリコン膜である。1403はゲイト電極である。1404はベンゾジクロブテン（BCB）膜であり、その上面が平坦化される。1405は窒化シリコン膜である。BCB膜と窒化シリコン膜とでゲイト絶縁膜を構成する。1406、1407、1408および1409は、多結晶シリコン膜から成る活性層である。この活性層の作製にあたっては、実施例1で説明した非晶質シリコン膜の多結晶化と同様の方法が用いられた。またレーザー光（好ましくは線状レーザー光または面状レーザー光）によって、非晶質シリコン膜を結晶化させる方法をとっても良い。なお、1406はソース領域、1407はドレイン領域、1408は低濃度不純物領域（LDD領域）、1409はチャネル形成領域である。141

0はチャネル保護膜であり、1411は層間絶縁膜である。1412および1413はそれぞれ、ソース電極、ドレイン電極である。

【0113】

本実施例によると、BCB膜と窒化シリコン膜とで構成されるゲイト絶縁膜が平坦化されているので、その上に成膜される非晶質シリコン膜も平坦なものになる。よって、非晶質シリコン膜を多結晶化する際に、従来の逆スタガ型のTFTよりも均一な多結晶シリコン膜を得ることができる。

【0114】

(実施例4)

【0115】

本実施例では、SXGA(1280×1024画素)の高解像度規格に対応したアクティブマトリクス型液晶表示装置に、VGA(640×480画素)やSVGA(800×600画素)等の低解像度規格に対応した画像信号を表示するフォーマット変換のための駆動方法について説明する。図17には、本実施例で行う表示の概念図が示されている。なお、本願発明の駆動方法によると、SXGA以外の高解像度規格に対応したアクティブマトリクス型液晶表示装置にも、その解像度規格よりも低い解像度規格に対応した画像信号を表示することができる。

【0116】

例として、SXGA(1280×1024画素)のアクティブマトリクス型液晶表示装置に、VGA(640×480画素)に対応した画像信号を表示する場合を考える。本実施例の駆動方法においては、変調クロック信号をソース信号線側駆動回路だけでなく、ゲイト信号線側駆動回路にも供給する。図18に、本実施例のアクティブマトリクス型液晶表示装置の概略構成図を示す。1801はソース信号線側駆動回路であり、変調クロック信号、スタートパルス等が入力される。1802はゲイト信号線側駆動回路であり、変調クロック信号、スタートパルス等が入力される。1803はアクティブマトリクス回路であり、ゲイト信号線1807およびソース信号線1808の交点のそれぞれにマトリクス状に配置された画素を有する。それぞれの画素は薄膜トランジスタ1804を有する。ま

た、薄膜トランジスタのドレイン電極には画素電極（図示せず）および補助容量1806が接続されている。また、1805はアクティブマトリクス回路と対向基板（図示せず）との間に挟持された液晶である。また、1809はビデオ信号線であり、外部からビデオ信号が入力される。

【0117】

図19を参照する。図19には、本実施例に示す本願発明の駆動方法によるアクティブマトリクス型液晶表示装置の画面表示をフレームごとに順に示したものである。本実施例では、水平方向の画像のサイズを変換するためにソース信号線側駆動回路に入力される変調クロック信号の周波数を $1/2$ に低くすることによって行う（周波数伸長）。また、ゲイト信号線側駆動回路においては、入力される変調クロック信号の周波数を $1/2$ とし、2ライン同時選択し、垂直方向の画面のサイズを変換するとともに、変調クロック信号の周波数のシフトによって、ある確率で3ライン同時選択も行う。こうすることによって、周波数を低くするだけでは完全に行うことのできない画面サイズの変換を完全に行うことができる。

【0118】

図19に示すように、1フレーム目、2フレーム目、・・・、 n フレーム目において、それぞれ3ライン同時書き込みのタイミングが異なっている。この3ライン同時書き込みのタイミングを変調クロック信号の周波数のシフトによって制御することによって、完全なフォーマット変換（例えばアスペクト比4:3からアスペクト比16:9）が実現される。

【0119】

また、ソース信号線側駆動回路およびゲイト信号線側駆動回路に変調クロックを入力し、画面のフォーマット変換を行う場合には、画面の中央部の画像の書き込みには固定クロックを用い、画面の中央部から端部に行くに連れて周波数伸長により、または変調クロックにより画像のサイズを変換してもよい。

【0120】

（実施例5）

【0121】

本実施例では、デジタル駆動回路を有するアクティブマトリクス型液晶表示装置に変調クロック信号を用いた場合について説明する。本実施例のアクティブマトリクス型液晶表示装置においては、外部から供給されるハイビジョン信号やNTSC信号等のアナログ画像信号はA/D変換（アナログ／デジタル変換）されデジタル画像信号化される。このA/D変換の際のアナログ画像信号のサンプリングを変調クロック信号を用いることによって行う。デジタル画像信号は、ガンマ補正やアパーチャコントロール等のデジタル信号処理が施され、固定クロックによってD/A変換（デジタル／アナログ変換）され、改良アナログ画像信号に変換される。改良アナログ画像信号は、対応する画素に書き込まれる。こうすることによって、画像信号のデジタル信号処理を行うことができ、かつ上述の発明の実施の形態や実施例で説明したように、観測者には見かけ上解像度が上がったように観測される。

【0122】

また、本実施例のもう一つの駆動方法としては以下の様な方法がある。外部から供給されるハイビジョン信号やNTSC信号等のアナログ画像信号が固定クロック信号によるサンプリングタイミングでA/D変換されデジタル画像信号化される。デジタル画像信号は、ガンマ補正やアパーチャコントロール等のデジタル信号処理が施され、変調クロックによってD/A変換され、改良アナログ画像信号に変換される。改良アナログ画像信号は、対応する画素に書き込まれる。こうすることによって、画像信号のデジタル信号処理を行うことができ、かつ上述の発明の実施の形態や実施例で説明したように、観測者には見かけ上解像度が上がったように観測される。また、この駆動方法において、A/D変換時のサンプリングを変調クロック信号によって行っても良い。

【0123】

（実施例6）

【0124】

本実施例においては、本願発明の変調クロック信号による駆動方法をパッシブマトリクス型液晶表示装置に用いた場合について説明する。

【0125】

図 22 を参照する。図 22 には、本実施例におけるパッシブマトリクス型液晶表示装置の概略構成図が示されている。2201 は信号電極駆動回路であり、外部からビデオ信号および変調クロック信号が入力される。2202 は走査電極駆動回路であり、外部から固定クロック信号が入力される。2203 はパッシブマトリクス回路であり、帯状の信号電極 2206 および帯状の走査電極 2205 が互いに直角をなすようにマトリクス電極構造を有しており、これらの電極の間に液晶 2204 が挟まれている。

【0126】

信号電極駆動回路には変調クロック信号が入力され、発明の実施の形態で述べたように、変調クロック信号によってビデオ信号がサンプリングされ A/D 変換され、デジタル画像信号がビデオメモリに一時的に記憶される。その後、デジタル信号処理が施されても良い。そして、デジタル画像信号が、固定クロック信号によって D/A 変換され、対応する信号電極 2206 に画像情報が書き込まれる。また、走査電極には固定クロック信号が入力され、走査電極 2205 に走査信号を供給する。

【0127】

本実施例のパッシブマトリクス型液晶表示装置においても、画像の輪郭部に濃淡情報を有しているので、上述の実施例のアクティブマトリクス型液晶表示装置において得られる効果と同等の効果を得ることができる。

【0128】

なお、本実施例のパッシブマトリクス型液晶表示装置においても、上記実施例 4 で説明した変調クロックを用いたフォーマット変換方法を実行することができる。この場合、走査電極駆動回路にも変調クロックを入力する。

【0129】

(実施例 7)

【0130】

上記実施例のアクティブマトリクス型液晶表示装置またはパッシブマトリクス型液晶表示装置においては、ネマチック液晶を用いた TN モードが表示モードとして用いられているが、他の表示モードをも用いることができる。

【0131】

さらに、応答速度の速い無しきい値反強誘電性液晶または強誘電性液晶を用いて、アクティブマトリクス型液晶表示装置を構成してもよい。

【0132】

また、本願発明の駆動回路を用いたアクティブマトリクス型半導体表示装置には、印加電圧に応答して光学的特性が変調され得るその他のいかなる表示媒体を用いてもよい。例えば、エレクトロルミネセンス素子などを用いても良い。

【0133】

また、アクティブマトリクス型液晶表示装置のアクティブマトリクス回路に用いられるアクティブ素子には、TFTの他MIM素子等が用いられても良い。

【0134】

(実施例8)

【0135】

本願発明の駆動回路を用いたアクティブマトリクス型半導体表示装置またはパッシブマトリクス型半導体表示装置には様々な用途がある。本実施例では、本願発明の駆動回路を用いたアクティブマトリクス型半導体表示装置またはパッシブマトリクス型半導体表示装置（半導体表示装置と呼ぶ）を組み込んだ半導体装置について説明する。

【0136】

このような半導体装置には、ビデオカメラ、スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話など）などが挙げられる。それらの一例を図15および図16に示す。

【0137】

図15(A)はフロント型プロジェクターであり、本体1501、半導体表示装置1502（代表的には液晶表示装置）、光源1503、光学系1504、スクリーン1505で構成されている。なお、図15(A)には、半導体表示装置を1つ組み込んだフロントプロジェクターが示されているが、半導体表示装置を3個（R、G、Bの光にそれぞれ対応させる）組み込んだことによって、より高解

像度・高精細のフロント型プロジェクタを実現することができる。

【0138】

図15(B)はリア型プロジェクターであり、1506は本体、1507は液晶表示装置であり、1508は光源であり、1509はリフレクター、1510はスクリーンである。なお、図15(B)には、半導体表示装置を3個(R、G、Bの光にそれぞれ対応させる)組み込んだリア型プロジェクタが示されている。

【0139】

図16(A)は携帯電話であり、本体1601、音声出力部1602、音声入力部1603、半導体表示装置1604、操作スイッチ1605、アンテナ1606で構成される。

【0140】

図16(B)はビデオカメラであり、本体1607、半導体表示装置1608、音声入力部1609、操作スイッチ1610、バッテリー1611、受像部1612で構成される。

【0141】

図16(C)はモバイルコンピュータであり、本体1613、カメラ部1614、受像部1615、操作スイッチ1616、半導体表示装置1617で構成される。

【0142】

図16(D)はヘッドマウントディスプレイであり、本体1618、半導体表示装置1619、バンド部1620で構成される。

【0143】

図16(E)は片眼のヘッドマウントディスプレイであり、半導体表示装置1621、バンド部1622で構成される。

【0144】

(実施例9)

【0145】

本実施例においては、上述の実施例1において説明したアクティブマトリクス

型液晶表示装置とは別の作製方法の例について説明する。なお、本実施例のアクティブマトリクス型液晶表示装置は、実施例 1～8 のアクティブマトリクス型液晶表示装置として用いられ得る。

【0146】

図 24 を参照する。まず、ガラス基板 5001 上に酸化シリコン膜 5002 となる下地膜を 200nm 厚に形成した。下地膜は窒化シリコン膜を積層しても良いし、窒化シリコン膜のみであっても良い。

【0147】

次に、酸化シリコン膜 5002 上に 30nm 厚のアモルファスシリコン膜（非晶質シリコン膜）をプラズマ CVD 法により形成し、脱水素処理後、エキシマレーザーアニールを行ってポリシリコン膜（結晶質シリコン膜または多結晶シリコン膜）を形成した。

【0148】

この結晶化工程は公知のレーザー結晶化技術または熱結晶化技術を用いれば良い。本実施例ではパルス発振型の KrF エキシマレーザーを線状に加工してアモルファスシリコン膜の結晶化を行った。

【0149】

なお、本実施例では初期膜をアモルファスシリコン膜としてレーザーアニールで結晶化してポリシリコン膜を得たが、初期膜として微結晶シリコン膜を用いても構わないし、直接ポリシリコン膜を成膜しても良い。勿論、成膜したポリシリコン膜にレーザーアニールを行っても良い。また、レーザーアニールの代わりにファースアニールを行っても良い。

【0150】

こうして形成された結晶質シリコン膜をパターニングして島状のシリコン層からなる活性層 5003、5004 を形成した。

【0151】

次に、活性層 5003、5004 を覆って酸化シリコン膜でなるゲート絶縁膜 1105 を形成し、その上にタンタルと窒化タンタルの積層構造でなるゲート配線（ゲート電極を含む）5006、5007 を形成した（図 24（A））。

【0152】

ゲート絶縁膜5005の膜厚は100nmとした。勿論、酸化シリコン膜以外に酸化シリコン膜と窒化シリコン膜との積層構造や酸化窒化シリコン膜を用いても構わない。また、ゲート配線5006、5007は他の金属を用いることもできるが、後の工程においてシリコンとのエッチング選択比の高い材料が望ましい。

【0153】

こうして図24 (A) の状態が得られたら、1回目のリンドーブ工程（リンの添加工程）を行った。ここではゲート絶縁膜5005を通して添加するため、加速電圧は80KeVと高めに設定した。また、こうして形成された第1不純物領域5008、5009は長さ（幅）が $0.5\mu\text{m}$ 、リン濃度が $1 \times 10^{17} \text{atoms/cm}^3$ となるようにドーズ量を調節した。この時のリン濃度を（n-）で表すことにする。なお、リンの代わりに砒素を用いても良かった。

【0154】

また、第1不純物領域5008、5009はゲート配線5006、5007をマスクとして自己整合的に形成された。この時、ゲート配線5006、5007の直下には真性な結晶質シリコン層が残り、チャネル形成領域5010、5011が形成された。ただし、実際には多少ゲート配線の内側に回り込んで添加される分もあるため、ゲート配線5006、5007と第1不純物領域5008、5009とがオーバーラップするような構造となった（図24 (B)）。

【0155】

次に、ゲート配線5006、5007を覆うようにして $0.1 \sim 1\mu\text{m}$ （代表的には $0.2 \sim 0.3\mu\text{m}$ ）の厚さの非晶質シリコン層を形成し、異方性エッチングを行うことによりサイドウォール5012、5013を形成した。サイドウォール5012、5013の幅（ゲート配線の側壁からみた厚さ）は $0.2\mu\text{m}$ とした（図24 (C)）。

【0156】

なお、本実施例では非晶質シリコン層として不純物を何も添加しないものを用いるため、真性なシリコン層でなるサイドウォールが形成された。

【0157】

図24 (C) の状態が得られたら、2回目のリンドーブ工程を行った。この場合も1回目と同様に加速電圧を80KeVとした。また、今回形成された第2不純物領域5014、5015にはリンが $1 \times 10^{18} \text{atoms/cm}^3$ の濃度で含まれるようにドーズ量を調節した。この時のリン濃度を (n) で表すことにする。

【0158】

なお、図24 (D) に示すリンドーブ工程ではサイドウォール5012、5013の真下のみに第1不純物領域5008、5009が残る。この第1不純物領域5008および5009は1stLDD領域として機能することになる。

【0159】

また、図24 (D) の工程ではサイドウォール5012、5013にもリンが添加された。実際には加速電圧が高いためリンの濃度プロファイルのテール（裾）がサイドウォール内部に及ぶような状態でリンが分布していた。このリンでサイドウォールの抵抗成分を調節することもできる反面、リンの濃度分布が極端にばらつくと第2不純物領域5014に印加されるゲート電圧が素子毎に変動する要因ともなりかねないのでドーピング時は精密な制御が必要である。

【0160】

次に、NTFTの一部を覆うレジストマスク5016とPTFTの全部を覆うレジストマスク5017を形成した。そして、この状態でゲート絶縁膜5005をドライエッチングして加工されたゲート絶縁膜5018を形成した（図24 (E)）。

【0161】

この時、ゲート絶縁膜5018がサイドウォール5012よりも外側に突出している部分の長さ（ゲート絶縁膜5018が第2不純物領域5014に接している部分の長さ）が、第2不純物領域5014の長さ（幅）を決定した。従って、レジストマスク5016のマスク合わせは精度良く行うことが必要であった。

【0162】

図24 (E) の状態が得られたら、3回目のリンドーブ工程を行った。今回は露出した活性層にリンを添加することになるため、加速電圧を10KeVと低めに設定した。なお、こうして形成された第3不純物領域5019にはリンが 5×1

0^{20}atoms/cm^3 の濃度で含まれるようにドーズ量を調節した。この時のリン濃度を (n+) で表すことにする (図 25 (A))。

【0163】

この工程ではレジストマスク 5016 および 5017 によって遮蔽された部分にはリンが添加されないため、その部分には第 2 不純物領域 5014 および 5015 がそのまま残る。従って、第 2 不純物領域 5014 が画定した。また同時に、第 3 不純物領域 5019 が画定した。

【0164】

この第 2 不純物領域 5014 は 2nd LDD 領域として機能し、第 3 不純物領域 5019 はソース領域又はドレイン領域として機能することになる。

【0165】

次に、レジストマスク 5016、5017 を除去し、新たに NTFT 全部を覆うレジストマスク 5021 を形成した。そして、まず PTFT のサイドウォール 5013 を除去し、さらにゲート絶縁膜 5005 をドライエッチングしてゲート配線 5007 と同形状のゲート絶縁膜 5022 を形成した (図 25 (B))。

【0166】

図 25 (B) の状態が得られたら、ボロンドープ工程 (ボロンの添加工程) を行った。ここでは加速電圧を 10 KeV とし、形成された第 4 不純物領域 5023 に $3 \times 10^{20}\text{atoms/cm}^3$ の濃度でボロンが含まれるようにドーズ量を調節した。この時のボロン濃度を (p++) で表すことにする (図 25 (C))。

【0167】

この時、ボロンもゲート配線 5007 の内側に回り込んで添加されたため、チャンネル形成領域 5011 はゲート配線 5007 の内側に形成された。また、この工程では PTFT 側に形成されていた第 1 不純物領域 5009 及び第 2 不純物領域 5015 をボロンで反転させて P 型にしている。従って、実際にはもともと第 1 不純物領域だった部分と第 2 不純物領域だった部分とで抵抗値が変化するが、十分高い濃度でボロンを添加しているので問題とはならない。

【0168】

こうすることで第 4 不純物領域 5023 が画定する。第 4 不純物領域 5023

はゲート配線 5007 をマスクとして完全に自己整合的に形成され、ソース領域又はドレイン領域として機能する。本実施例では PTF T に対して LDD 領域もオフセット領域も形成していないが、PTF T はもともと信頼性が高いので問題はなく、却って LDD 領域等を設けない方がオン電流を稼ぐことができるので都合が良い場合もある。

【0169】

こうして最終的には図 25 (C) に示すように、NTF T の活性層にはチャネル形成領域、第 1 不純物領域、第 2 不純物領域及び第 3 不純物領域が形成され、PTF T の活性層にはチャネル形成領域及び第 4 不純物領域のみが形成される。

【0170】

そのようにして図 25 (C) の状態が得られたら、第 1 層間絶縁膜 5024 を 1 μ m の厚さに形成した。第 1 層間絶縁膜 5024 としては酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、有機樹脂膜またはそれらの積層膜を用いることができる。本実施例ではアクリル樹脂膜を採用した。

【0171】

第 1 層間絶縁膜 5024 を形成したら、金属材料でなるソース配線 5025、5026 及びドレイン配線 5027 を形成した。本実施例ではチタンを含むアルミニウム膜をチタンで挟み込んだ構造の三層配線を用いた。

【0172】

また、第 1 層間絶縁膜 5024 として BCB (ベンゾシクロブテン) と呼ばれる樹脂膜を用いた場合、平坦性が高まると同時に、配線材料として銅を用いることが可能となる。銅は配線抵抗が低いため、配線材料として非常に有効である。

【0173】

こうしてソース配線及びドレイン配線を形成したら、パッシベーション膜として 50nm 厚の窒化シリコン膜 5028 を形成した。さらにその上には保護膜として第 2 層間絶縁膜 5029 を形成した。この第 2 層間絶縁膜 5029 としては前記第 1 層間絶縁膜 5024 と同様の材料を用いることが可能である。本実施例では 50nm 厚の酸化シリコン膜上にアクリル樹脂膜を積層した構造を採用した。

【0174】

以上のような工程を経て、図 25 (D) に示すような構造の CMOS 回路が完成した。本実施例によって形成された CMOS 回路は、NTFT が優れた信頼性を有するため、回路全体として信頼性が大幅に控向上した。また、本実施例のような構造とすると、NTFT と PTFT との特性バランス（電気特性のバランス）が優れたものとなった。

【0175】

なお、同様にして画素 TFT も NTFT によって構成され得る。

【0176】

図 25 (D) の状態が得られたら、コンタクトホールを開口し、画素 TFT のドレイン電極に接続した画素電極を形成する。そして、第 3 層間膜を形成し、配向膜を形成する。また、必要に応じてブラックマトリクスを形成してもよい。

【0177】

次に、対向基板を用意する。対向基板は、ガラス基板、透明導電膜から成る対向電極、配向膜とで構成される。

【0178】

なお、本実施例では、配向膜にはポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施した。なお、本実施例では、配向膜に比較的大きなプレチル角を持つようなポリイミドを用いた。

【0179】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサなどを介して貼り合わせる。その後、両基板の間に液晶を注入し、封止剤によって完全に封止する。本実施例では、液晶にネマチック液晶を用いた。

【0180】

よって、透過型のアクティブマトリクス型液晶表示装置が完成する。

【0181】

(実施例 10)

【0182】

本実施例では、実施例 9 において活性層となる結晶質半導体膜を、触媒元素を

用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、本出願人による特開平 7-130652 号公報、特開平 8-78329 号公報に記載された技術を用いることが好ましい。

【0183】

ここで特開平 7-130652 号公報の技術を本願発明に適用する場合の例を図 26 に示す。まずシリコン基板 6001 上に熱酸化法により酸化シリコン膜 6002 を設け、その上にアモルファスシリコン膜 6003 を形成した。さらに、重量換算で 10 ppm のニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層 6004 を形成した (図 26 (A))。

【0184】

次に、500℃ 1 時間の水素だし工程の後、500～650℃ で 4～12 時間 (本実施例では 550℃ 8 時間) の熱処理を行い、ポリシリコン膜 6005 を形成した。こうして得られたポリシリコン膜 6005 は非常に優れた結晶性を有した (図 26 (B))。

【0185】

あとはポリシリコン膜 6005 をパターニングして活性層とし、実施例 9 と同様の工程を経て TFT を作製した。

【0186】

なお、上記二つの技術においては、ニッケル (Ni) 以外にも、ゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、錫 (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au) といった元素を用いても良い。

【0187】

(実施例 11)

【0188】

本実施例においては、上述の実施例 1 または実施例 9 において説明したアクティブマトリクス型液晶表示装置とは別の作製方法の例について説明する。なお、本実施例のアクティブマトリクス型液晶表示装置は、実施例 1～8 のアクティブマトリクス型液晶表示装置として用いられ得る。

【0189】

図17および図18を参照する。まず基板1701には、例えばコーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いた。そして、基板7001のTFTが形成される表面に、酸化珪素で成る下地膜7002を200nmの厚さに形成した。下地膜7002は、さらに窒化珪素膜を積層させても良いし、窒化珪素膜のみであっても良い。

【0190】

次に、この下地膜7002の上に50nmの厚さで、非晶質珪素膜をプラズマCVD法で形成した。非晶質珪素膜の含有水素量にもよるが、好ましくは400～500℃に加熱して脱水素処理を行い、非晶質珪素膜の含有水素量を5atm%以下として、結晶化の工程を行って結晶性珪素膜とした。

【0191】

この結晶化の工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。本実施例では、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質珪素膜に照射して、結晶性珪素膜とした。なお、この結晶化の工程は、上述の実施例1または実施例10で説明した方法を用いても良い。

【0192】

尚、本実施例では初期膜を非晶質珪素膜として用いたが、初期膜として微結晶珪素膜を用いても構わないし、直接結晶性珪素膜を成膜しても良い。

【0193】

こうして形成された結晶性珪素膜をパターニングして、島状の半導体層7003、7004、7005を形成した。

【0194】

次に、半導体層7003、7004、7005を覆って、酸化珪素または窒化珪素を主成分とするゲート絶縁膜7006を形成した。ここではプラズマCVD法で窒化酸化珪素膜を100nmの厚さに形成した。そして、図27では説明しないが、ゲート絶縁膜7006の表面に第1のゲート電極を構成する、第1の導電膜としてタンタル(Ta)を10～200nm、例えば50nmさらに第2の導電膜としてアルミニウム(Al)を100～1000nm、例えば200nmの厚さでスパッタ法で形成した。そして、公知のパターニング技術により、第1

のゲート電極を構成する第1の導電膜7007、7008、7009、7010と、第2の導電膜の7012、7013、7014、7015が形成された。

【0195】

第1のゲート電極を構成する第2の導電膜として、アルミニウムを用いる場合には、純アルミニウムを用いても良いし、チタン、珪素、スカンジウムから選ばれた元素が0.1～5atm%添加されたアルミニウム合金を用いても良い。また銅を用いる場合には、図示しないが、ゲート絶縁膜7006の表面に窒化珪素膜を設けておくと好ましい。

【0196】

また、図27では画素マトリクス回路を構成するnチャネル型TFTのドレイン側に付加容量部を設ける構造となっている。このとき、第1のゲート電極と同じ材料で付加容量部の配線電極7011、7016が形成される。

【0197】

こうして図27(A)に示す構造が形成されたら、1回目のn型不純物を添加する工程を行った。結晶性半導体材料に対してn型を付与する不純物元素としては、リン(P)、砒素(As)、アンチモン(Sb)などが知られているが、ここでは、リンを用い、フォスフィン(PH₃)を用いたイオンドープ法で行った。この工程では、ゲート絶縁膜7006を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。また、こうして形成された不純物領域は、後に示すnチャネル型TFTの第1の不純物領域7034、7042を形成するもので、LDD領域として機能するものである。従ってこの領域のリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。

【0198】

半導体層中に添加された前記不純物元素は、レーザーアニール法や、熱処理により活性化させる必要があった。この工程は、ソース・ドレイン領域を形成する不純物添加の工程のあと実施しても良いが、この段階でレーザーアニール法により活性化させることは効果的であった。

【0199】

この工程で、第1のゲート電極を構成する第1の導電膜7007、7008、7009、7010と第2の導電膜7012、7013、7014、7015はリンの添加に対してマスクとして機能した。その結果ゲート絶縁膜を介して存在する半導体層の第1のゲート電極の真下の領域には、まったく、あるいは殆どリンが添加されなかった。そして、図27(B)に示すように、リンが添加された低濃度不純物領域7017、7018、7019、7020、7021、7022、7023が形成された。

【0200】

次にフォトリソist膜をマスクとして、nチャネル型TFTを形成する領域をレジストマスク7024、7025で覆って、pチャネル型TFTが形成される領域のみに、p型を付与する不純物添加の工程を行った。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)、が知られているが、ここではボロンをその不純物元素として、イオンドープ法でジボラン(B_2H_6)を用いて添加した。ここでも加速電圧を80keVとして、 $2 \times 10^{20} \text{ atoms/cm}^3$ の濃度にボロンを添加した。そして、図27(C)に示すようにボロンが高濃度に添加された領域7026、7027が形成された。この領域は後にpチャネル型TFTのソース・ドレイン領域となる。

【0201】

そして、レジストマスク7024、7025を除去した後、第2のゲート電極を形成する工程を行った。ここでは、第2のゲート電極の材料にタンタル(Ta)を用い、100~1000nm、例えば200nmの厚さに形成した。そして、公知の技術によりパターニングを行い、第2のゲート電極7028、7029、7030、7031が形成された。この時、第2のゲート電極の長さは5 μm となるようにパターニングした。結果として、第2のゲート電極は、第1のゲート電極の両側にそれぞれ1.5 μm の長さでゲート絶縁膜と接する領域が形成された。

【0202】

また、画素マトリクス回路を構成するnチャネル型TFTのドレイン側に保持容量部が設けられるが、この保持容量部の電極7028は第2のゲート電極と同

時に形成された。

【0203】

そして、第2のゲート電極7025、7026、7027をマスクとして、2回目のn型を付与する不純物元素を添加する工程を行った。ここでは同様に、フォスフィン(PH₃)を用いたイオンドープ法で行った。この工程でも、ゲート絶縁膜7006を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。そして、ここでリンが添加される領域は、nチャネル型TFTでソース領域7032、7042、及びドレイン領域7033、7043として機能させるため、この領域のリンの濃度は、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{ atoms/cm}^3$ とした。

【0204】

また、ここで図示はしないが、ソース領域7035、7043、及びドレイン領域7036、7047を覆うゲート絶縁膜を除去して、その領域の半導体層を露出させ、直接リンを添加しても良い。この工程を加えると、イオンドープ法の加速電圧を10keVまで下げることができ、また、効率良くリンを添加することができた。

【0205】

また、pチャネル型TFTのソース領域7039とドレイン領域7040にも同じ濃度でリンが添加されるが、前の工程でその2倍の濃度でボロンが添加されているため、導電型は反転せず、pチャネル型TFTの動作上何ら問題はなかった。

【0206】

それぞれの濃度で添加されたn型またはp型を付与する不純物元素は、このままでは活性化せず有効に作用しないので、活性化の工程を行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラピットサーマルアニール法(RTA法)で行うことができた。

【0207】

熱アニール法では、窒素雰囲気中において550℃、2時間の加熱処理をして

活性化を行った。本実施例では、第1のゲート電極を構成する第2の導電膜にアルミニウムを用いたが、タンタルで形成された第1の導電膜と第2のゲート電極がアルミニウムを覆って形成されているため、タンタルがブロッキング層として機能して、アルミニウム原子が他の領域に拡散することを防ぐことができた。また、レーザーアニール法では、パルス発振型のKrFエキシマレーザー光を線状に集光して照射することにより活性化が行われた。また、レーザーアニール法を実施した後に熱アニール法を実施すると、さらに良い結果が得られた。またこの工程は、イオンドーピングによって結晶性が破壊された領域をアニールする効果も兼ね備えていて、その領域の結晶性を改善することもできた。

【0208】

以上までの工程で、ゲート電極を第1のゲート電極と、その第1のゲート電極を覆って第2のゲート電極を設けられ、nチャネル型TFTでは、第2のゲート電極の両側にソース領域とドレイン領域が形成された。また、ゲート絶縁膜を介して半導体層に設けられた第1の不純物領域と、第2のゲート電極がゲート絶縁膜に接している領域とが、重なって設けられた構造が自己整合的に形成された。一方、pチャネル型TFTでは、ソース領域とドレイン領域の一部が第2のゲート電極とオーバーラップして形成されているが、実使用上何ら問題はなかった。

【0209】

図27(D)の状態が得られたら、第1の層間絶縁膜7049を1000nmの厚さに形成した。第1の層間絶縁膜7049としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機樹脂膜、およびそれらの積層膜をもちいることができる。本実施例では、図示しないが、最初に窒化珪素膜を50nm形成し、さらに酸化珪素膜を950nm形成した2層構造とした。

【0210】

第1の層間絶縁膜7049はその後、パターニングでそれぞれのTFTのソース領域と、ドレイン領域にコンタクトホールが形成された。そして、ソース電極7050、7052、7053とドレイン電極7051、7054が形成した。図示していないが、本実施例ではこの電極を、チタン膜を100nm、チタンを含むアルミニウム膜300nm、チタン膜150nmをスパッタ法で連続して形

成した 3 層構造の膜を、パターニングして形成した。

【0211】

こうして図 17 (E) に示すように、基板 7001 上に CMOS 回路と、アクティブマトリクス回路が形成された。また、アクティブマトリクス回路の n チャネル型 TFT のドレイン側には、付加容量部が同時に形成された。以上のようにして、アクティブマトリクス基板が作製された。

【0212】

次に、図 28 を用いて、以上の工程によって同一の基板に作製された CMOS 回路と、アクティブマトリクス回路をもとに、アクティブマトリクス型液晶表示装置を作製する工程を説明する。最初に、図 17 (E) の状態の基板に対して、ソース電極 7050、7052、7053 とドレイン電極 7051、7054 と、第 1 の層間絶縁膜 7045 を覆ってパッシベーション膜 7055 を形成した。パッシベーション膜 7055 は、窒化珪素膜で 50 nm の厚さで形成した。さらに、有機樹脂からなる第 2 の層間絶縁膜 7056 を約 1000 nm の厚さに形成した。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機性樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機性樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0213】

次に、第 2 の層間絶縁膜 7056 の画素領域の一部に、遮光層 7057 を形成した。遮光層 7057 は金属膜や顔料を含ませた有機樹脂膜で形成すれば良いものである。ここでは、チタンをスパッタ法で形成した。

【0214】

遮光膜 7057 を形成したら、第 3 の層間絶縁膜 7058 を形成する。この第 3 の層間絶縁膜 7058 は、第 2 の層間絶縁膜 7056 と同様に、有機樹脂膜を用いて形成すると良い。そして、第 2 の層間絶縁膜 7056 と第 3 の層間絶縁膜 7058 とにドレイン電極 7054 に達するコンタクトホールを形成し、画素電

極 7059 を形成した。画素電極 7059 は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ (ITO) 膜を 100 nm の厚さにスパッタ法で形成し、画素電極 7055 を形成した。

【0215】

図 28 (A) の状態が形成されたら、配向膜 7060 を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板 7071 には、対向電極 7072 と、配向膜 7073 とを形成した。配向膜は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0216】

上記の工程を経て、アクティブマトリクス回路と、CMOS 回路が形成された基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ (共に図示せず) などを介して貼りあわせる。その後、両基板の間に液晶材料 7074 を注入し、封止剤 (図示せず) によって完全に封止した。よって図 28 (B) に示すアクティブマトリクス型液晶表示装置が完成した。

【0217】

【発明の効果】

【0218】

本願発明の駆動方法によると、一定周期で周波数変調された変調クロック信号をアクティブマトリクス型半導体表示装置またはパッシブマトリクス型半導体表示装置の駆動回路に供給することにより、この変調クロック信号に基づいてサンプリングされるビデオ信号のサンプリング近傍の信号情報 (エッジの有無、近さ) を半導体表示装置の該当する画素に濃淡情報として書き込むことができる。この本願発明の駆動方法によると、視覚の Mach 現象および Craik-O' Brian 現象によって、結果的に表示の見え方として解像度が上がったように見える。って、従来の駆動方法によるアクティブマトリクス型半導体表示装置およびパッシブマトリクス型半導体表示装置よりも、それぞれ実質的に解像度が向上

し、良好な画像を提供することができる。

【0219】

また、本願発明の駆動方法によると、高解像度規格に対応したアクティブマトリクス型半導体表示装置に、低解像度規格の信号に対応した画像信号を良好に表示することができる。

【図面の簡単な説明】

【図1】 源画像に基づくビデオ信号の波形を示した図である。

【図2】 ビデオ信号を基準クロックによる駆動方法によってサンプリングした場合のアクティブマトリクス型半導体表示装置の画面表示例である。

【図3】 ビデオ信号を本願発明の変調クロックによる駆動方法によってサンプリングした場合のアクティブマトリクス型半導体表示装置の画面表示例である。

【図4】 変調クロックを説明する図である。

【図5】 実施例1によるアクティブマトリクス型液晶表示装置の概略構成図である。

【図6】 実施例1によるアクティブマトリクス型液晶表示装置のソース信号線側駆動回路の回路図である。

【図7】 実施例1によるアクティブマトリクス型液晶表示装置のソース信号線側駆動回路およびゲイト信号線側駆動回路に用いられるレベルシフタの回路図である。

【図8】 実施例1によるアクティブマトリクス型液晶表示装置のゲイト信号線側駆動回路の回路図である。

【図9】 実施例1によるアクティブマトリクス型液晶表示装置の作製工程例を示す図である。

【図10】 実施例1によるアクティブマトリクス型液晶表示装置の作製工程例を示す図である。

【図11】 実施例1によるアクティブマトリクス型液晶表示装置の作製工程例を示す図である。

【図12】 実施例1によるアクティブマトリクス型液晶表示装置の作製工程

例を示す図である。

【図 13】 実施例 2 によるアクティブマトリクス型液晶表示装置を構成する逆スタガ型の TFT の断面図である。

【図 14】 実施例 3 によるアクティブマトリクス型液晶表示装置を構成する逆スタガ型の TFT の断面図である。

【図 15】 本願発明の駆動方法を用いたアクティブマトリクス型液晶表示装置をフロント型プロジェクターおよびリア型プロジェクターに組み込んだ例である。

【図 16】 本願発明の駆動方法を用いたアクティブマトリクス型液晶表示装置を組み込んだ半導体装置の例である。

【図 17】 高解像度に対応したアクティブマトリクス型半導体表示装置に低解像度の映像を表示する概念図である。

【図 18】 実施例 4 によるアクティブマトリクス型液晶表示装置の概略構成図である。

【図 19】 実施例 4 によるアクティブマトリクス型液晶表示装置の表示例である。

【図 20】 CRT による解像度測定用のチャートの映像の写真図である。

【図 21】 従来のアクティブマトリクス型液晶表示装置を組み込んだリア型プロジェクターによる解像度測定用のチャートの映像の写真図である。

【図 22】 実施例 6 によるパッシブマトリクス型液晶表示装置の概略構成図である。

【図 23】 ビデオ信号を本願発明の変調クロックによる駆動方法によってサンプリングした場合のアクティブマトリクス型半導体表示装置の画面表示例である。

【図 24】 実施例 9 によるアクティブマトリクス型液晶表示装置の作製工程例を示す図である。

【図 25】 実施例 9 によるアクティブマトリクス型液晶表示装置の作製工程例を示す図である。

【図 26】 実施例 10 によるアクティブマトリクス型液晶表示装置の作製工

程例を示す図である。

【図 27】 実施例 11 によるアクティブマトリクス型液晶表示装置の作製工程例を示す図である。

【図 28】 実施例 11 によるアクティブマトリクス型液晶表示装置の作製工程例を示す図である。

【符号の説明】

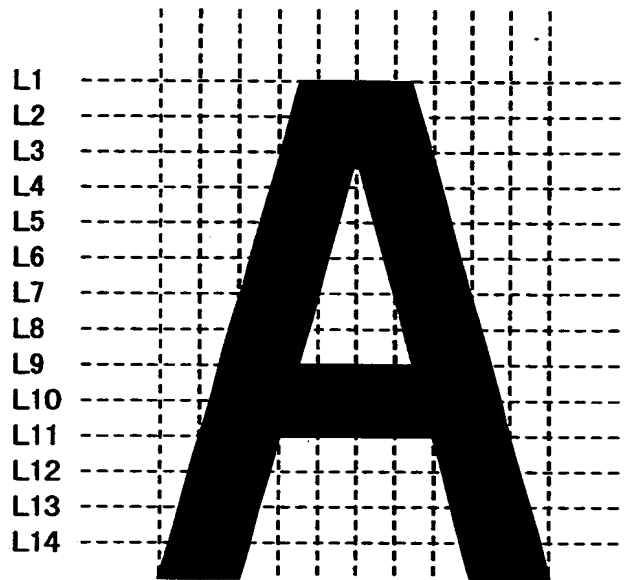
- 501 ソース信号線側駆動回路
- 502 ゲイト信号線側駆動回路
- 503 アクティブマトリクス回路
- 504 薄膜トランジスタ (TFT)
- 505 液晶
- 506 補助容量
- 507 ゲイト信号線
- 508 ソース信号線

【書類名】

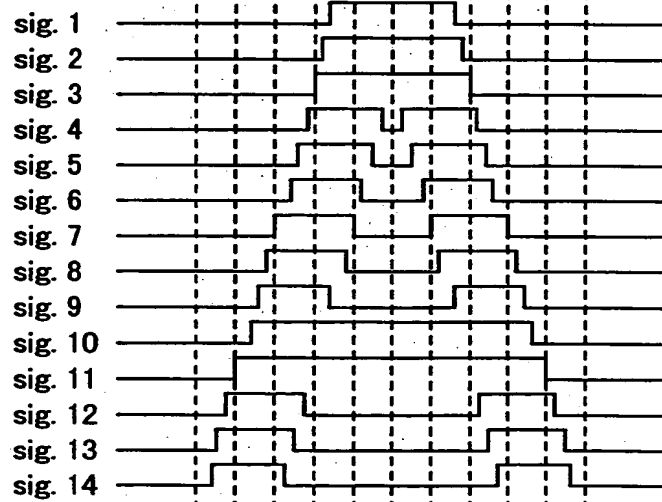
図面

【図 1】

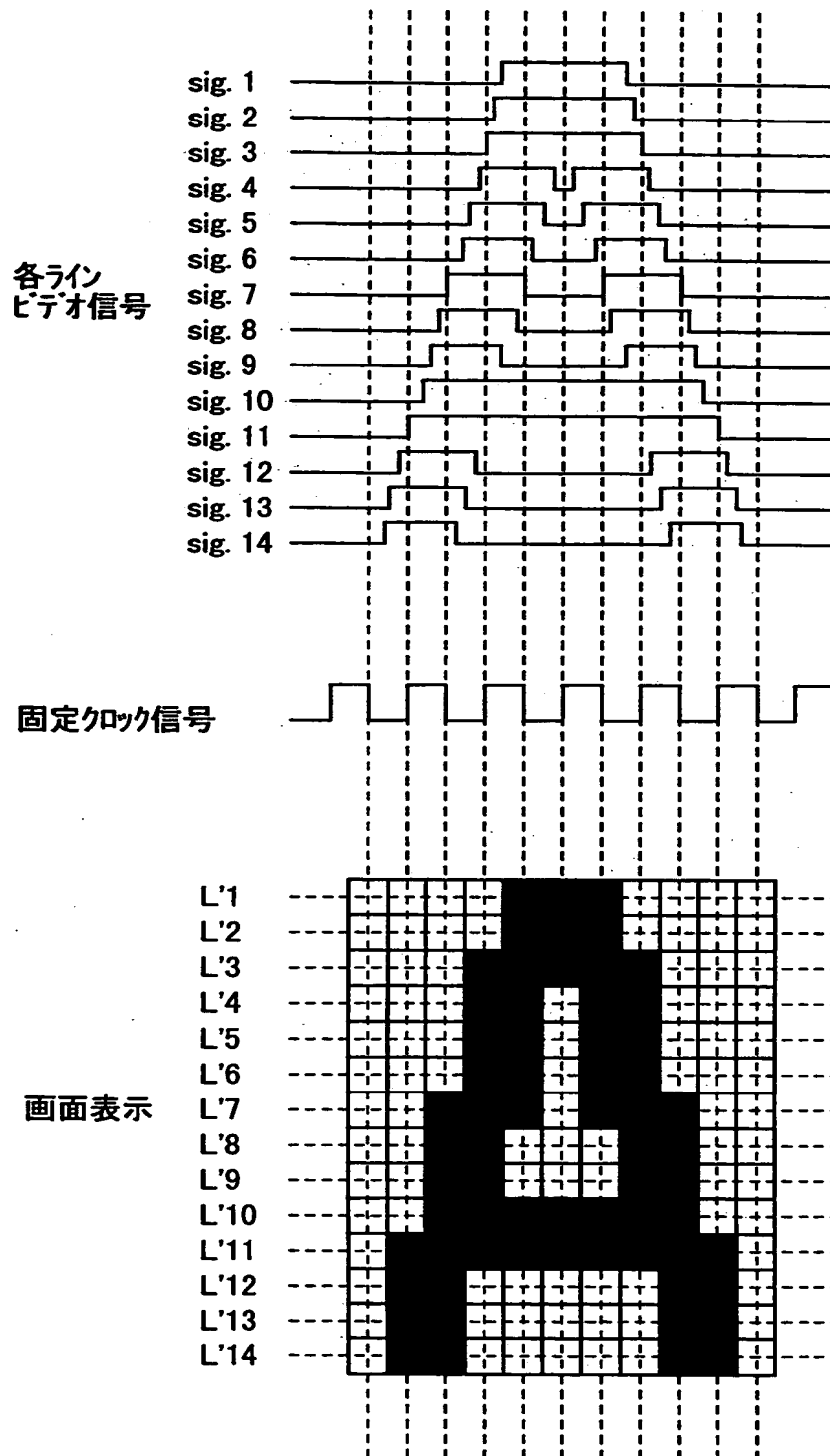
源画像



各ライン
ビデオ信号

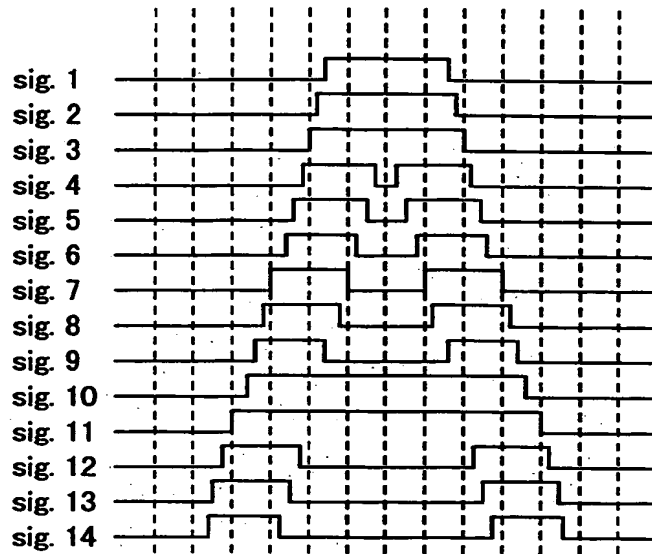


【図 2】



【図 3】

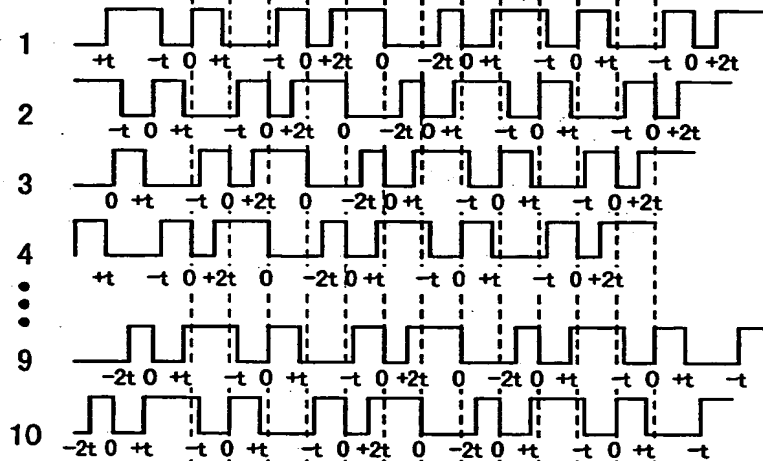
各ライン
ビデオ信号



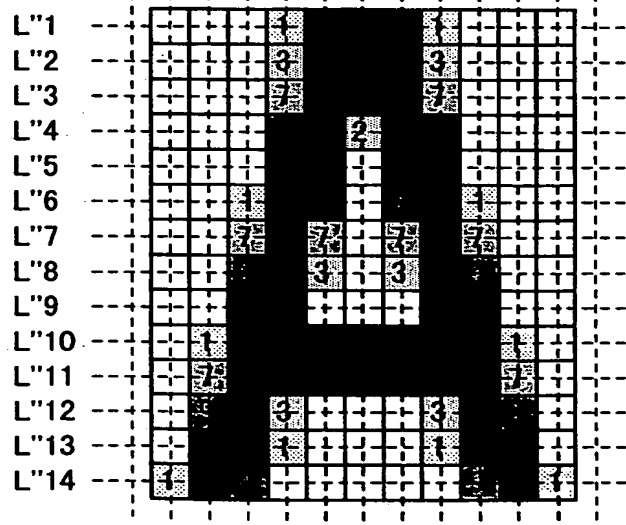
固定クロック信号



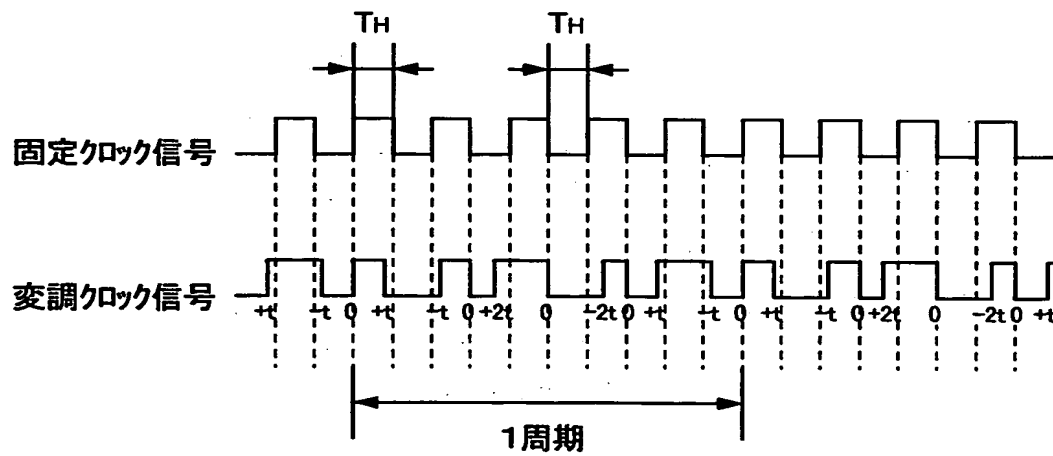
変調クロック信号



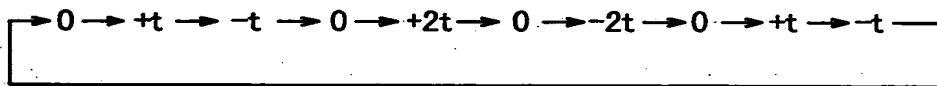
画面表示



【図4】



(A)

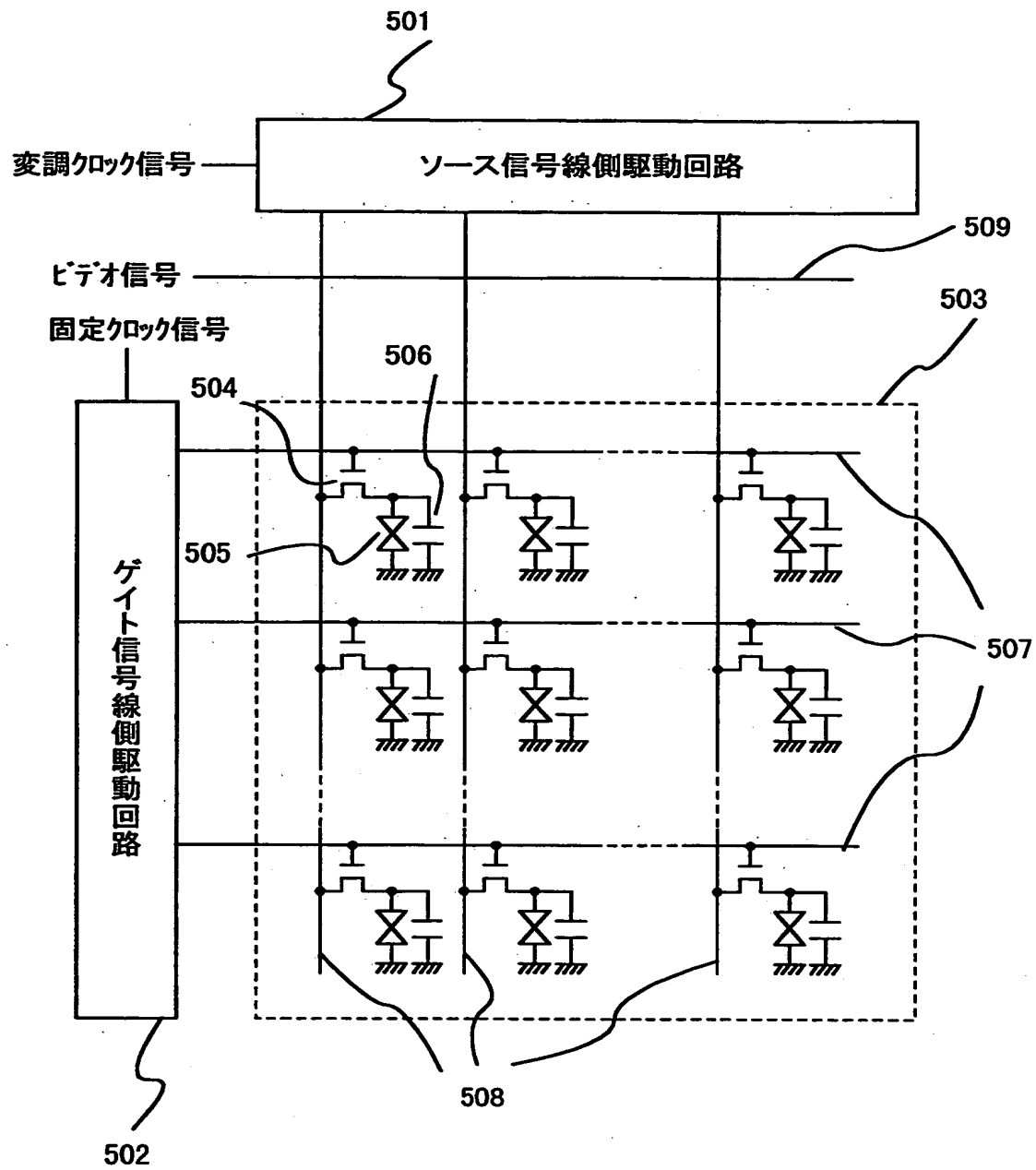


(B)

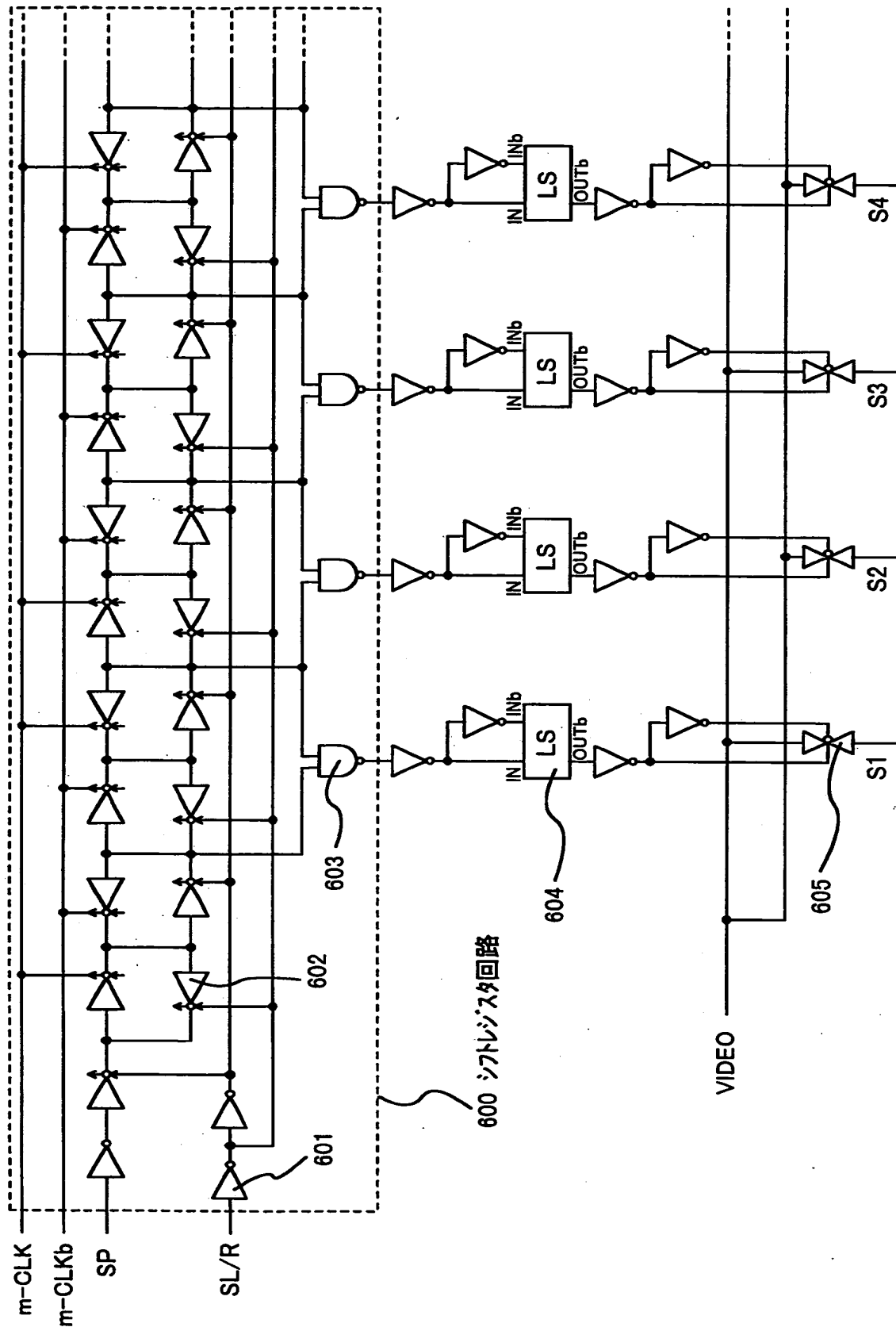
変位量					頻度/10
+2t	*				1
+t	*	*			2
0	*	*	*	*	4
-t	*	*			2
-2t	*				1

(C)

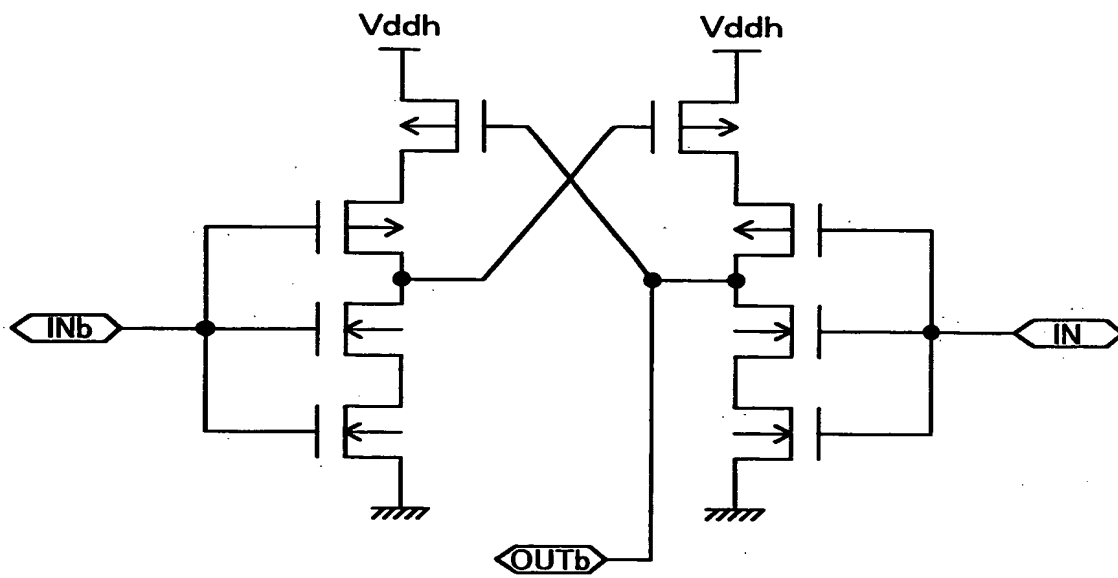
【図5】



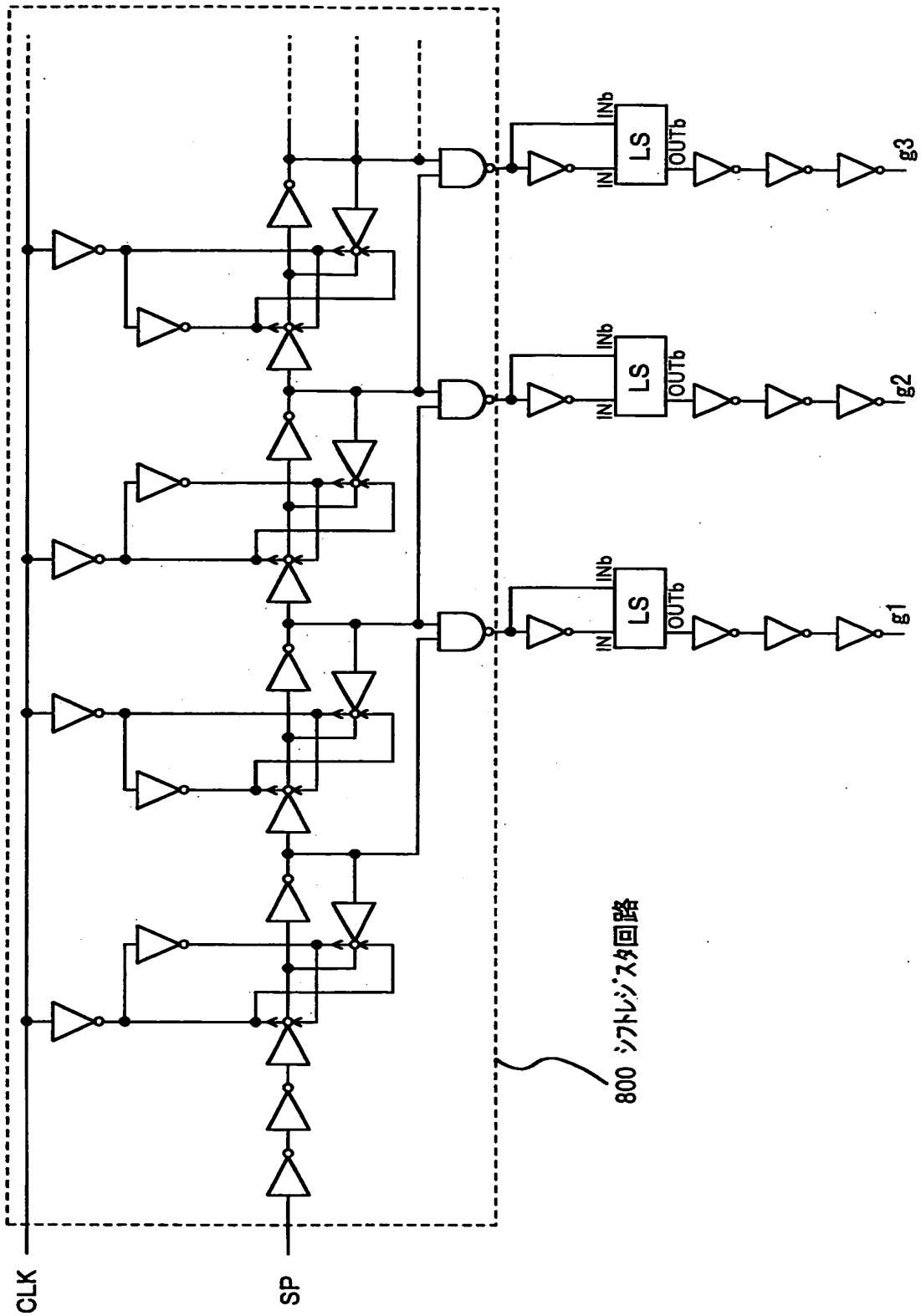
【図6】



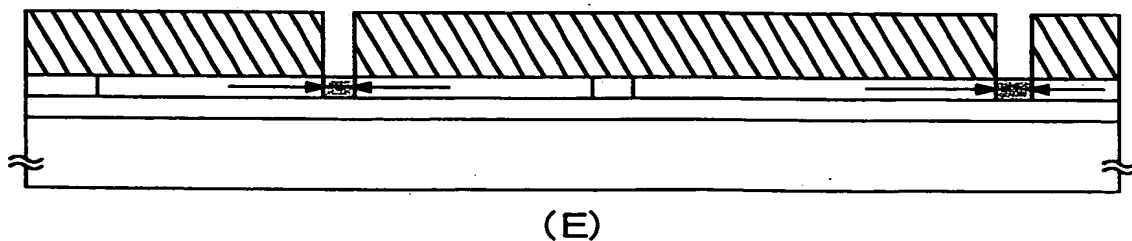
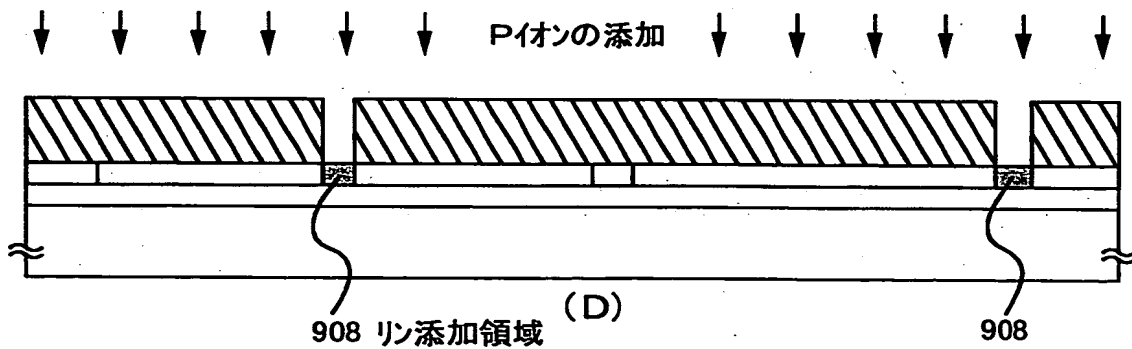
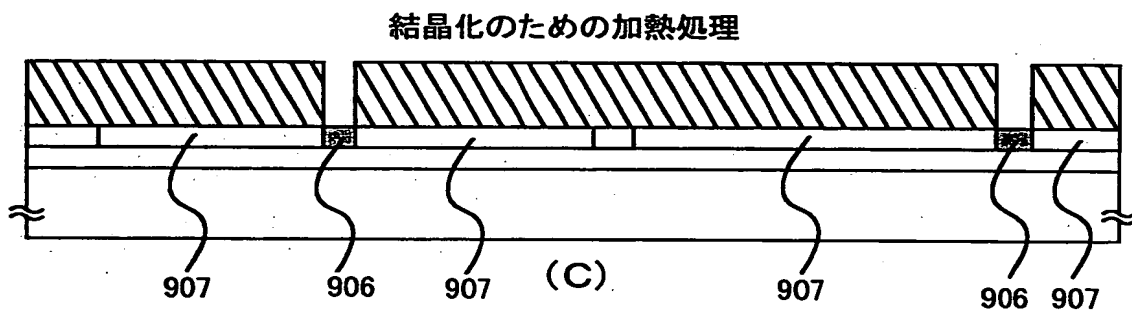
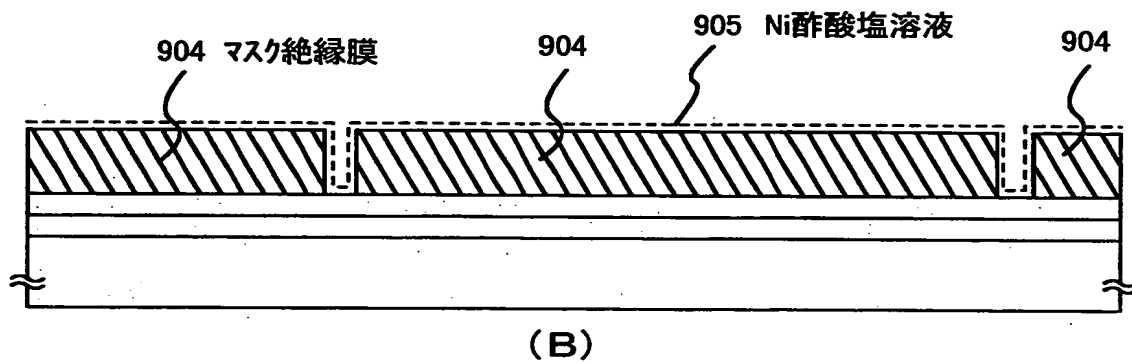
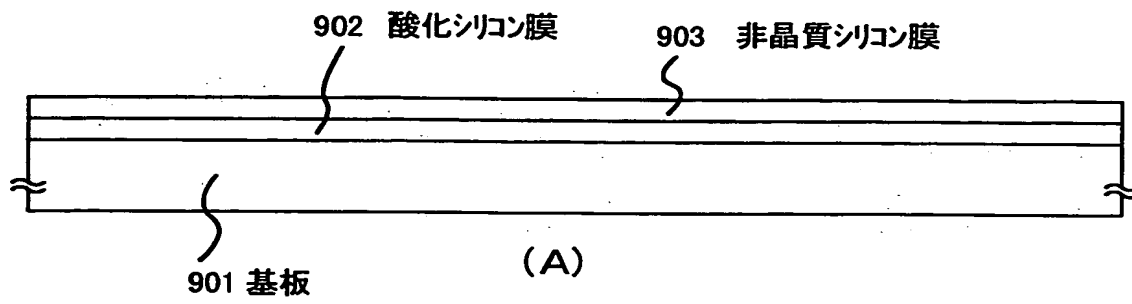
【図 7】



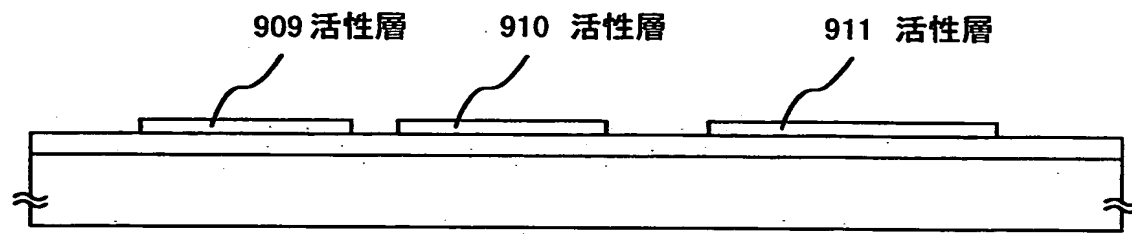
【図 8】



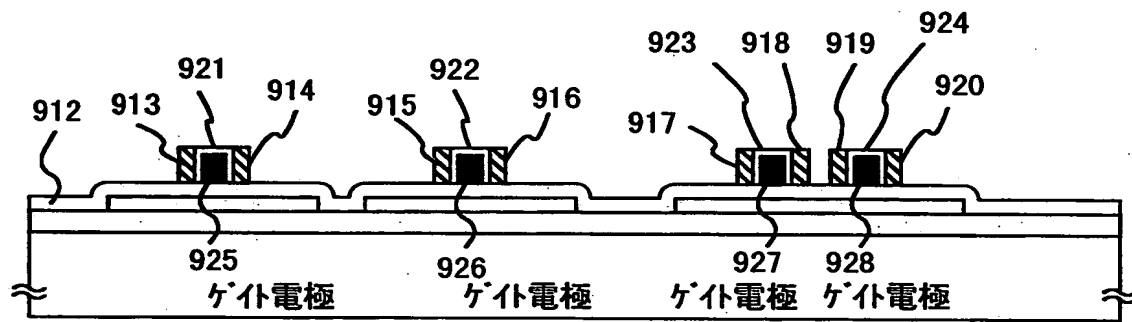
【図 9】



【図 10】



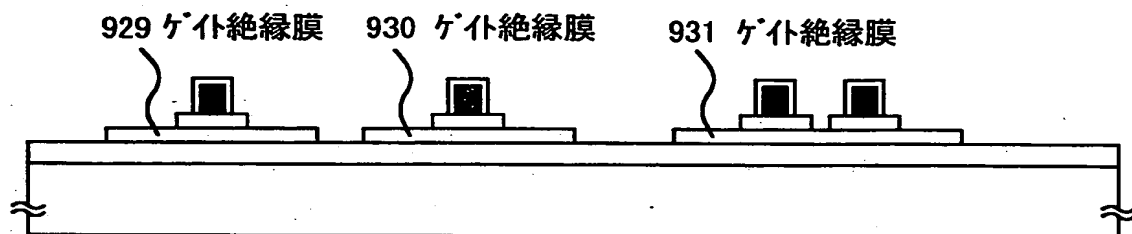
(A)



(B)

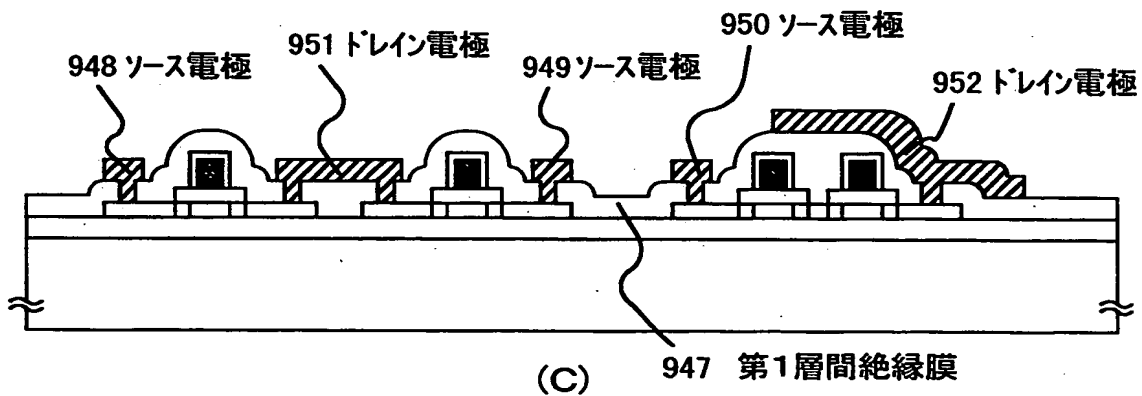
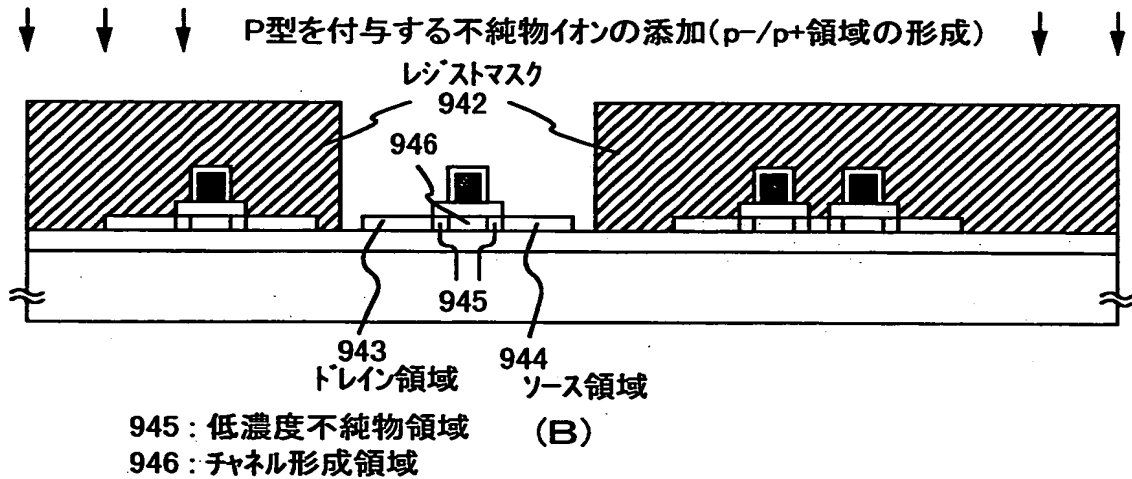
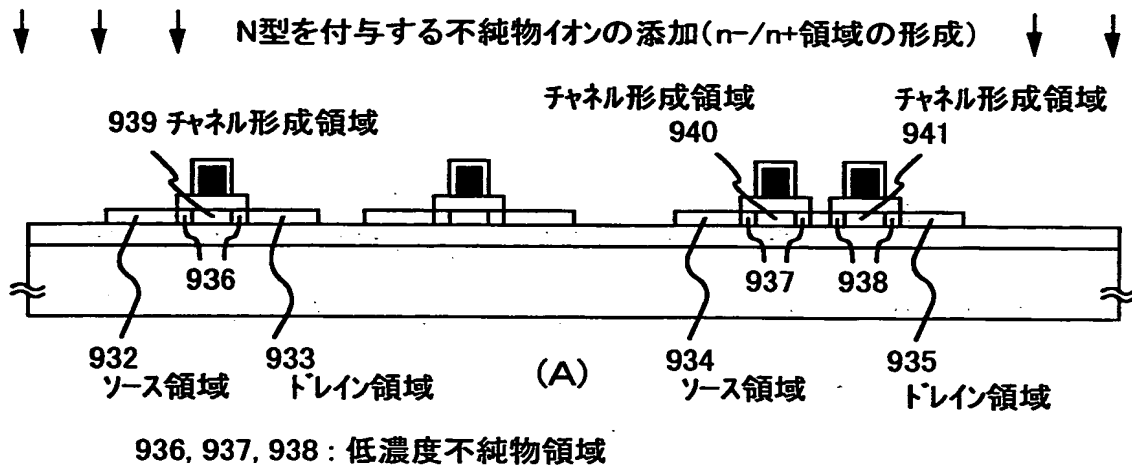
913～920 : 多孔性陽極酸化膜

921～924 : 無孔性陽極酸化膜

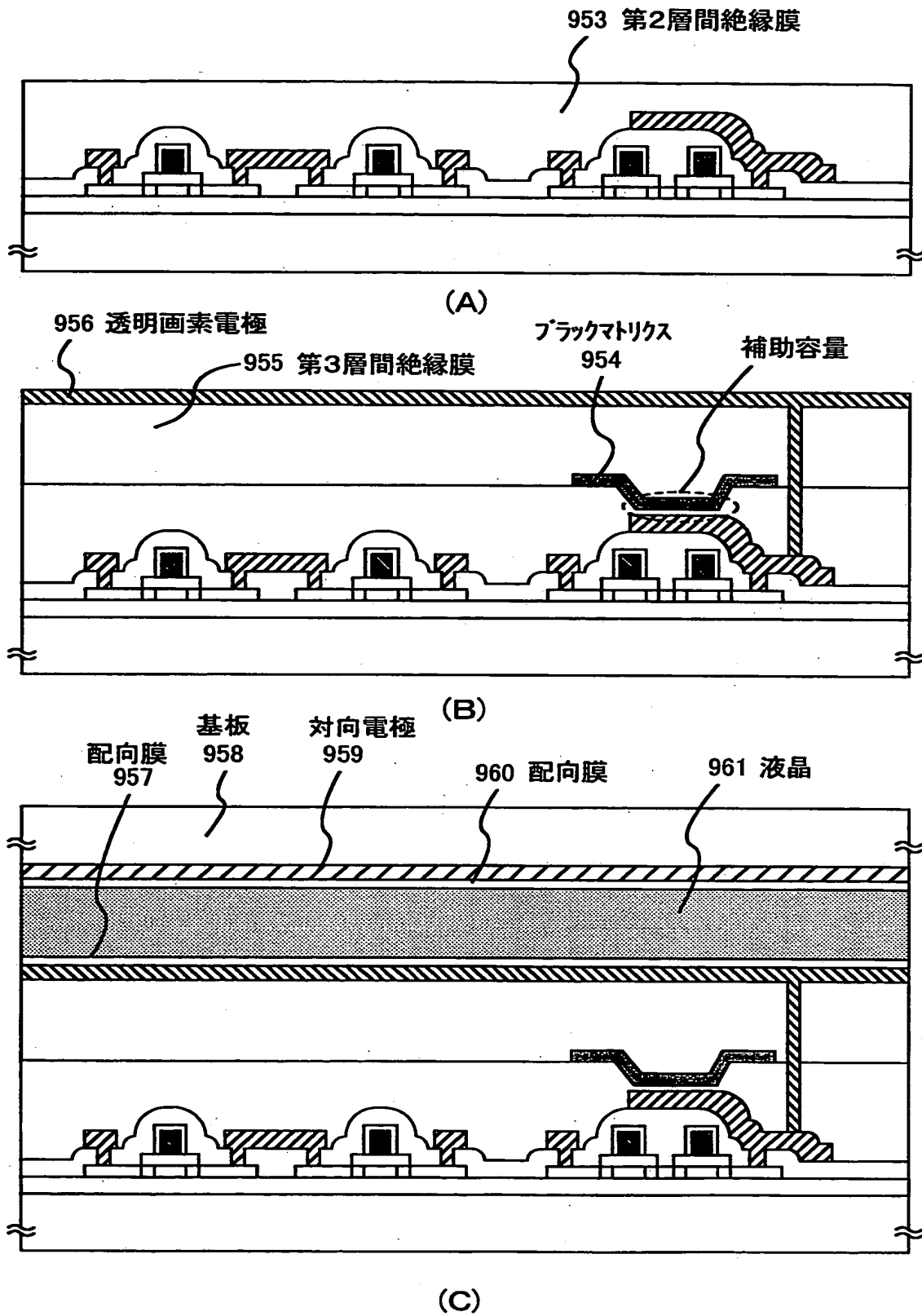


(C)

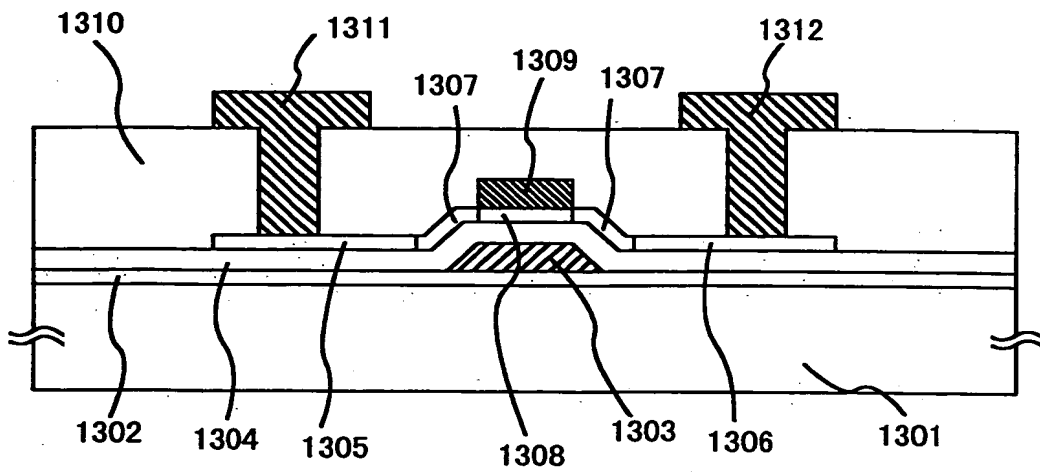
【図 11】



【図 12】

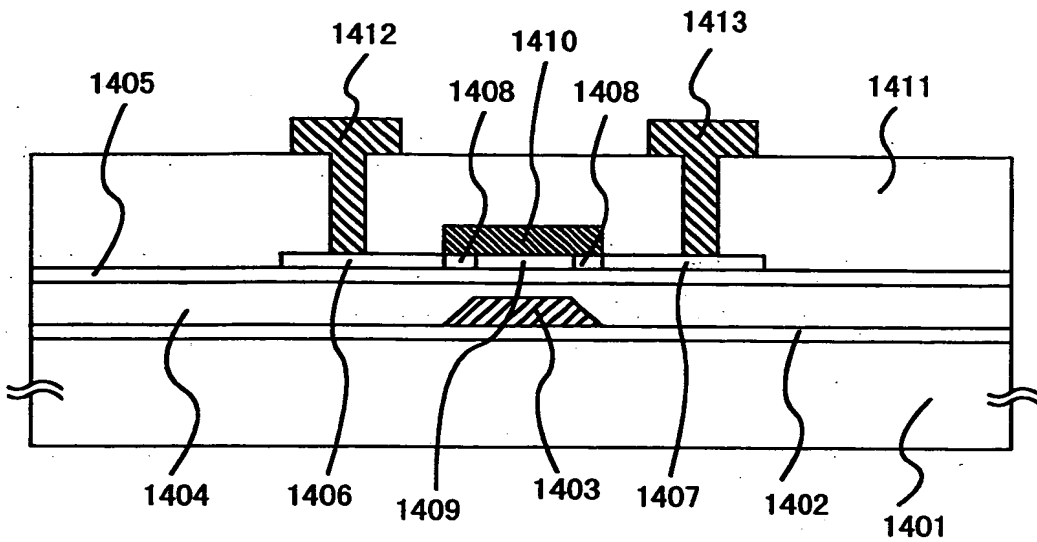


【図 13】



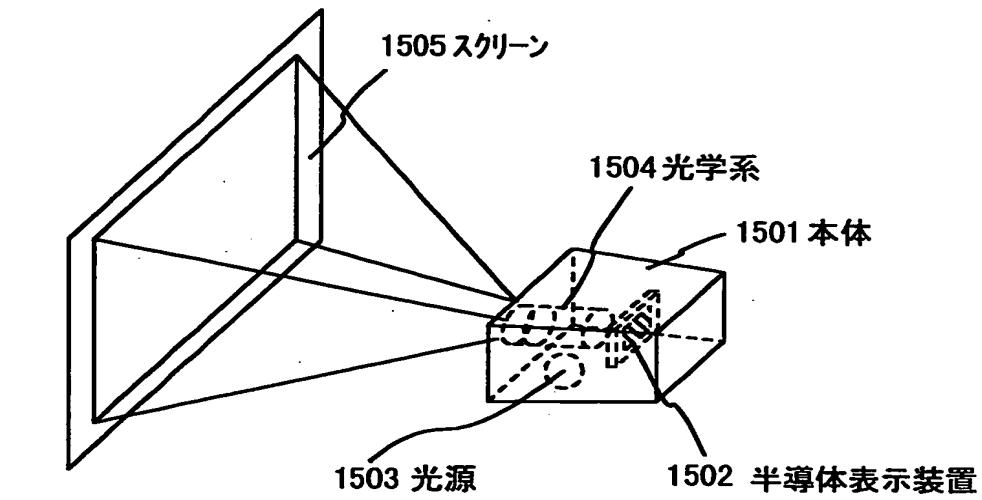
- | | |
|--------------|----------------------|
| 1301 基板 | 1307 低濃度不純物領域(LDD領域) |
| 1302 酸化シリコン膜 | 1308 チャンネル形成領域 |
| 1303 ゲイト電極 | 1309 チャンネル保護膜 |
| 1304 ゲイト絶縁膜 | 1310 層間絶縁膜 |
| 1305 ソース領域 | 1311 ソース電極 |
| 1306 ドレイン領域 | 1312 ドレイン電極 |

【図 14】

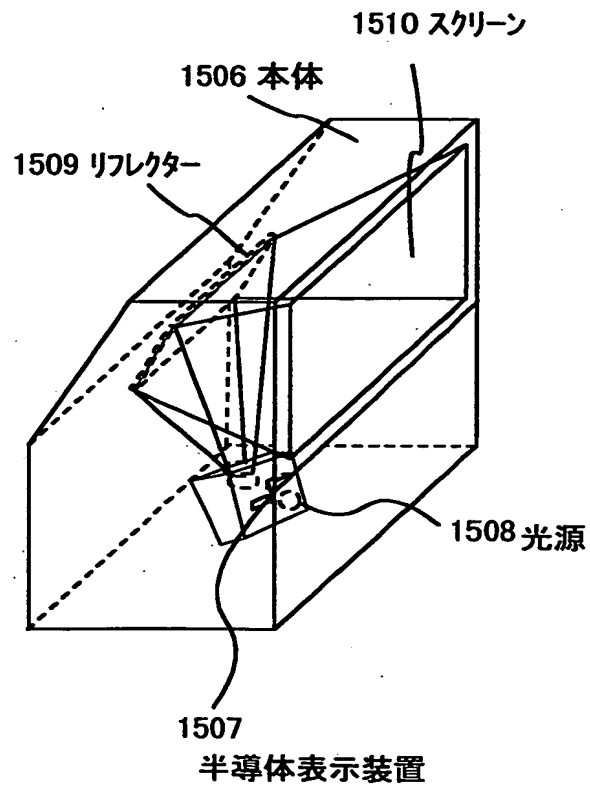


- | | |
|---------------------|----------------------|
| 1401 基板 | 1408 低濃度不純物領域(LDD領域) |
| 1402 酸化シリコン膜 | 1409 チャンネル形成領域 |
| 1403 ゲート電極 | 1410 チャンネル保護膜 |
| 1404 ベンゾシクロブテン(BCB) | 1411 層間絶縁膜 |
| 1405 窒化シリコン | 1412 ソース電極 |
| 1406 ソース領域 | 1413 ドレイン電極 |
| 1407 ドレイン領域 | |

【図 15】

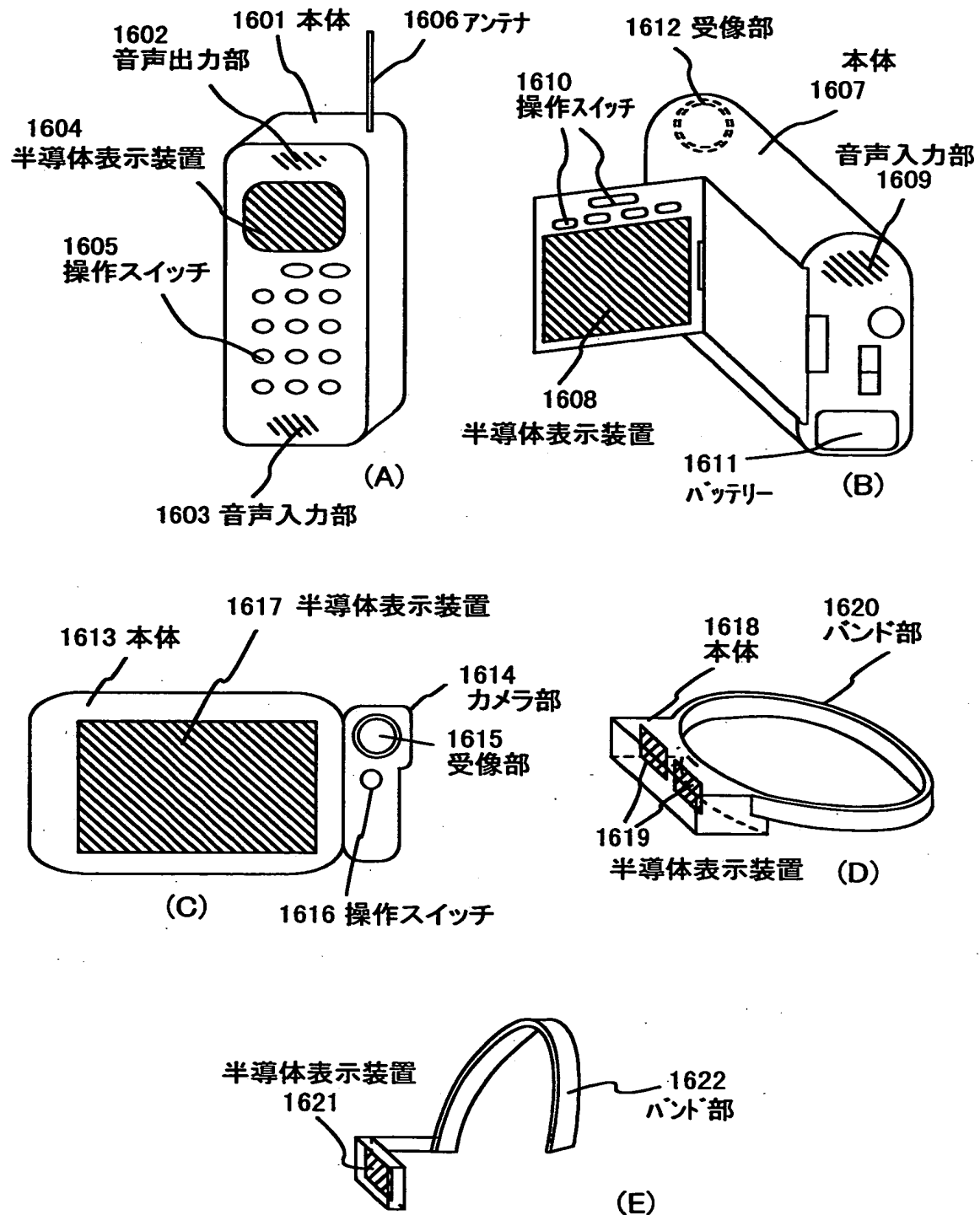


(A)

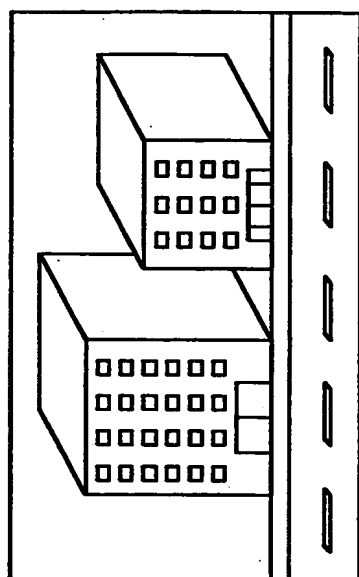


(B)

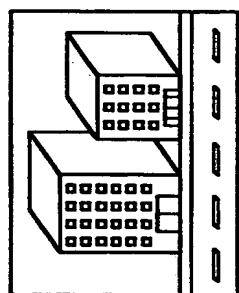
【図 16】



【図 17】

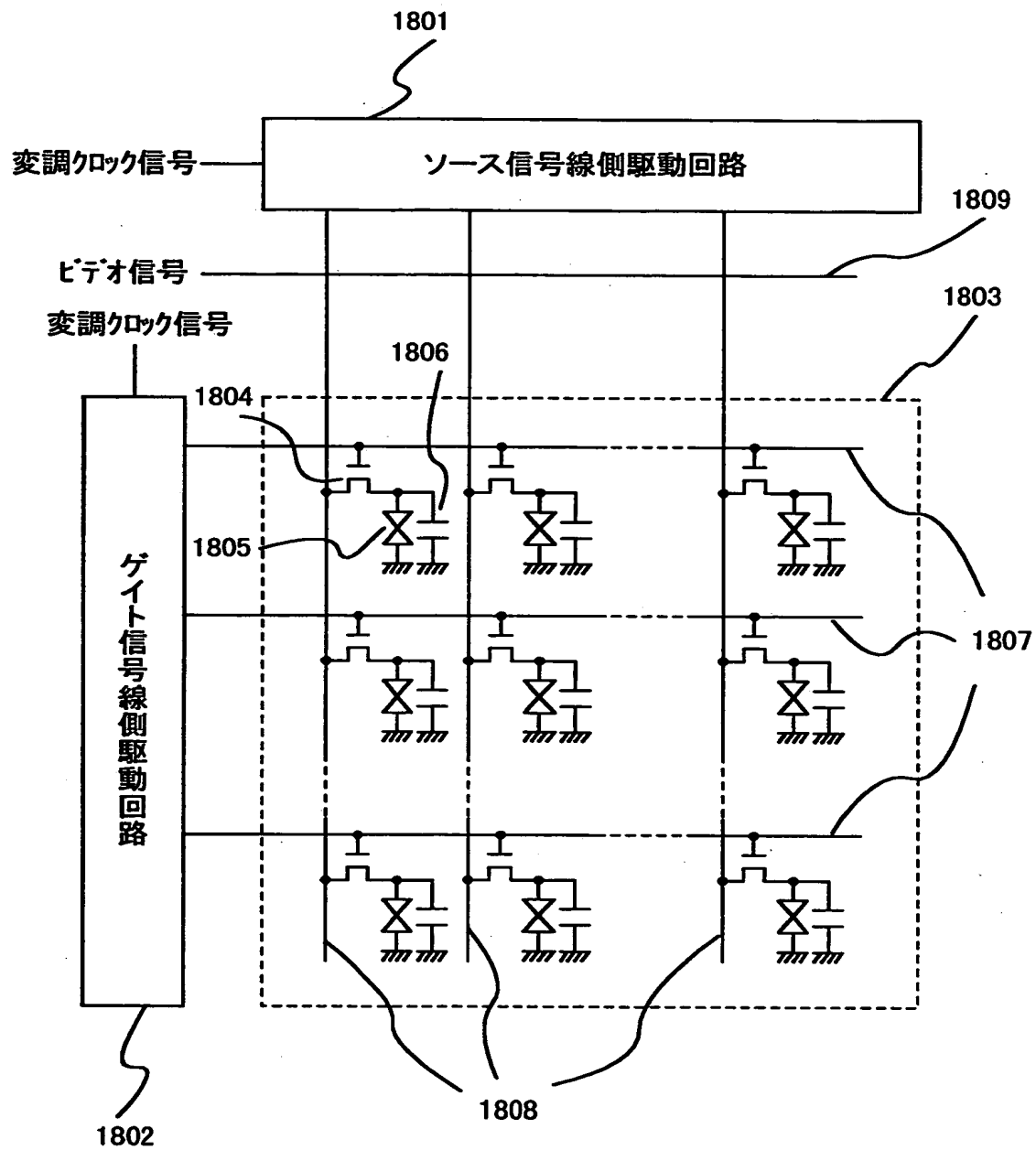


1280 × 1024 画素
16 : 9



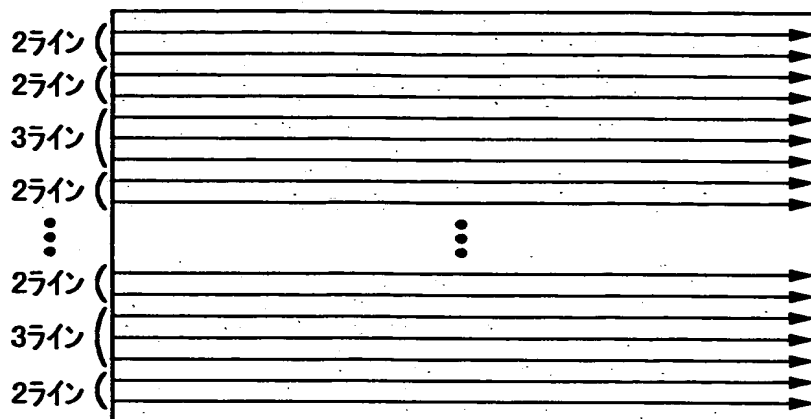
640 × 480 画素
4 : 3

【図18】

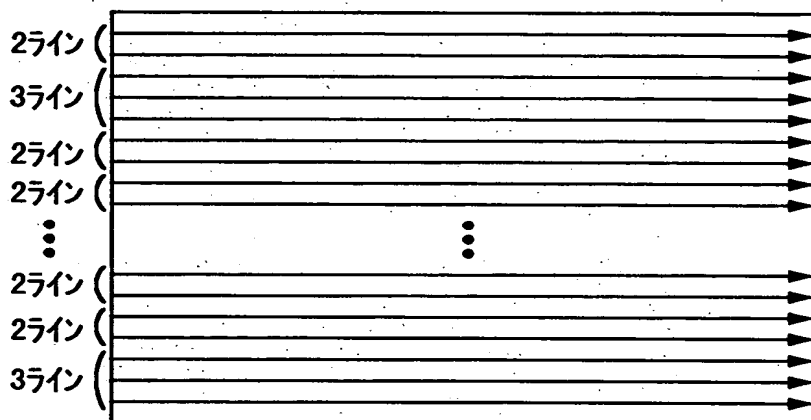


【図 19】

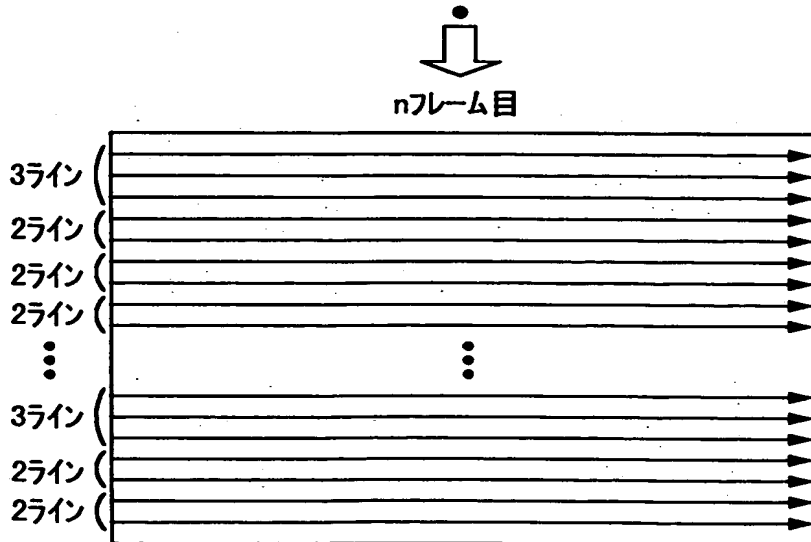
1フレーム目



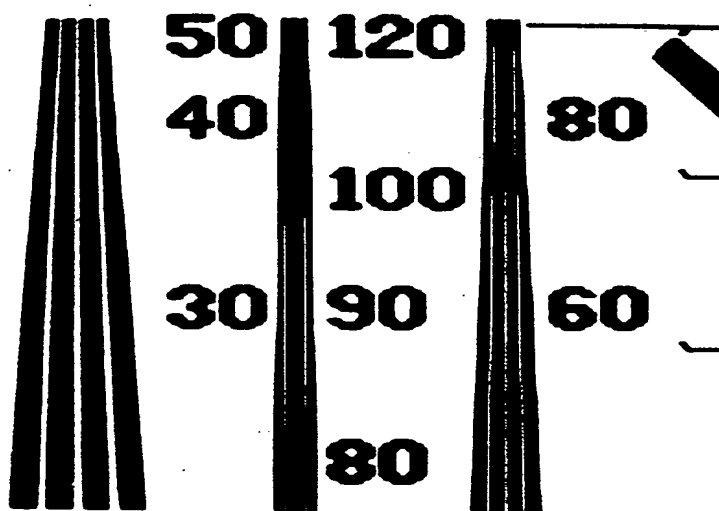
2フレーム目



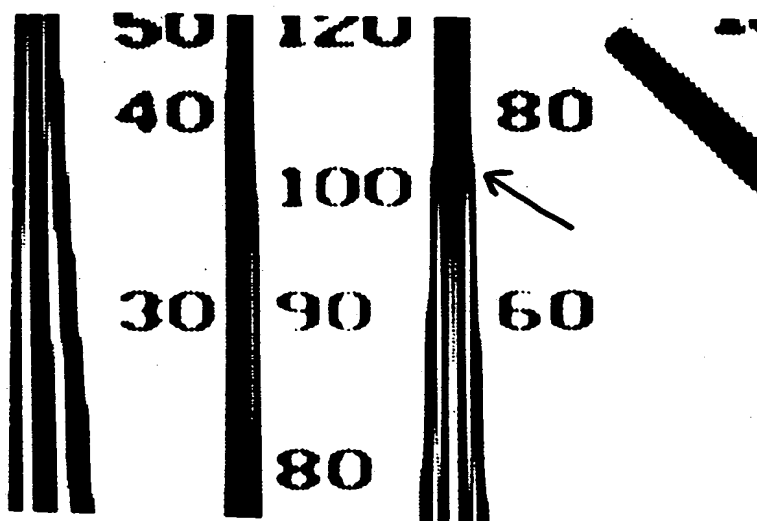
nフレーム目



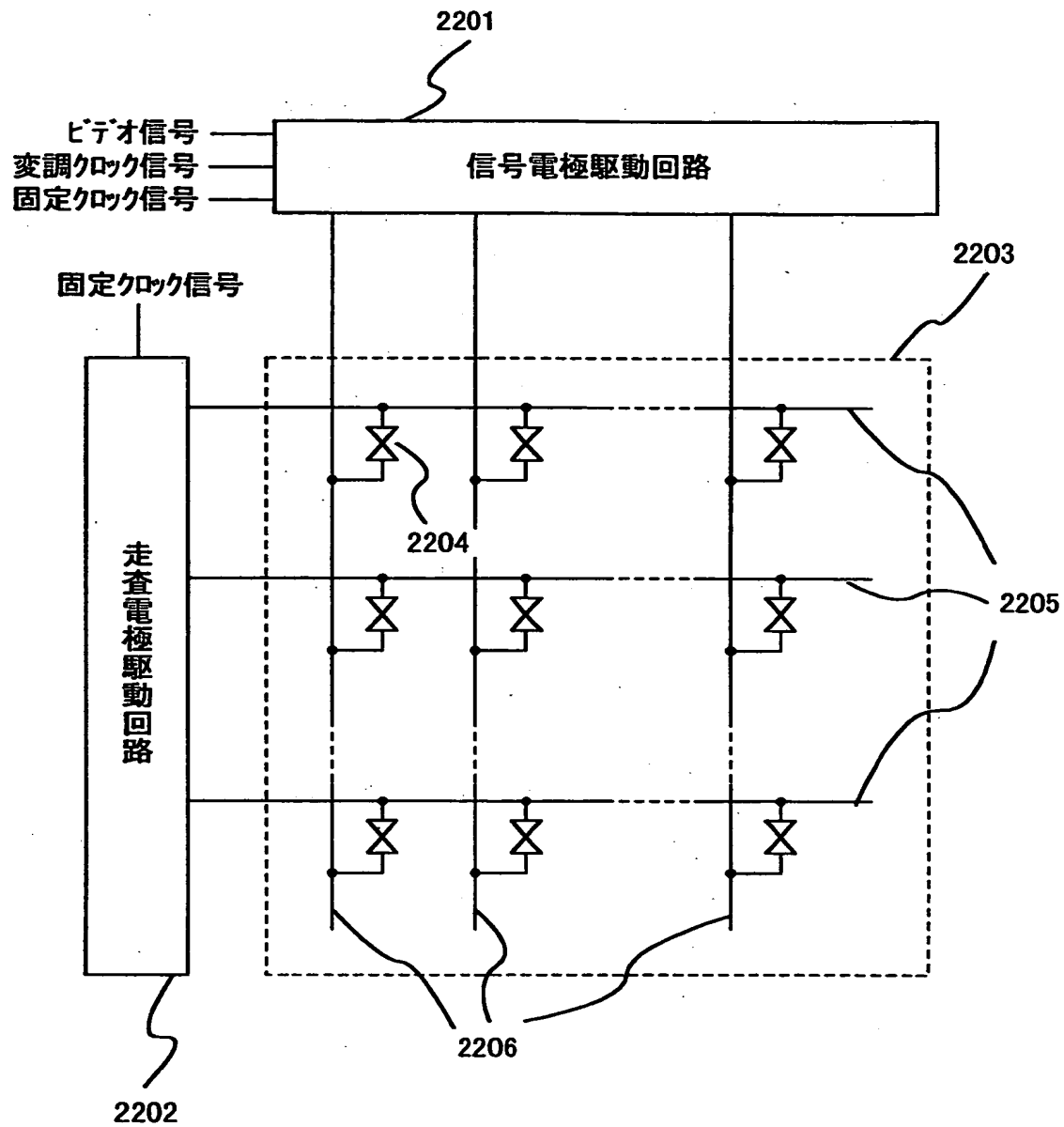
【図 20】



【図 21】

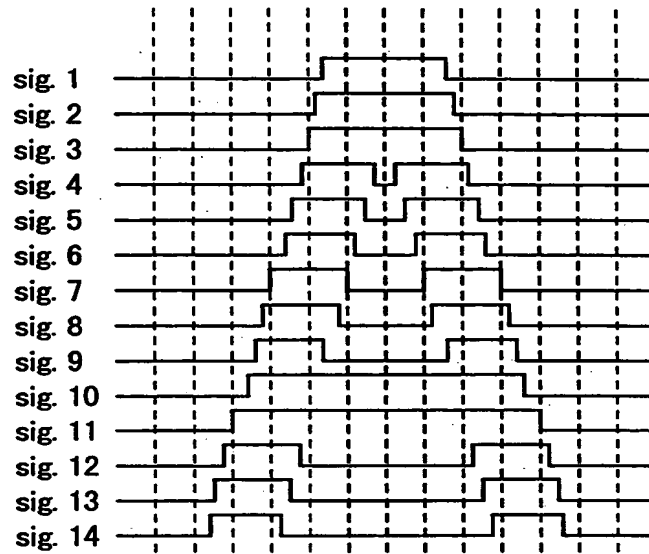


【図 22】



【図 23】

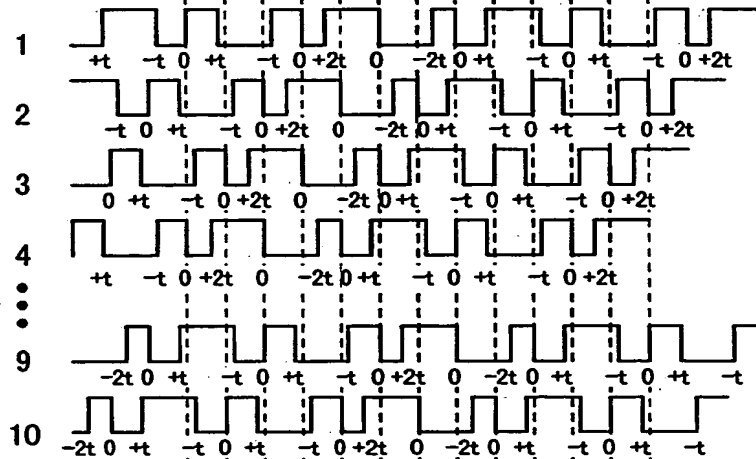
各ライン
ビデオ信号



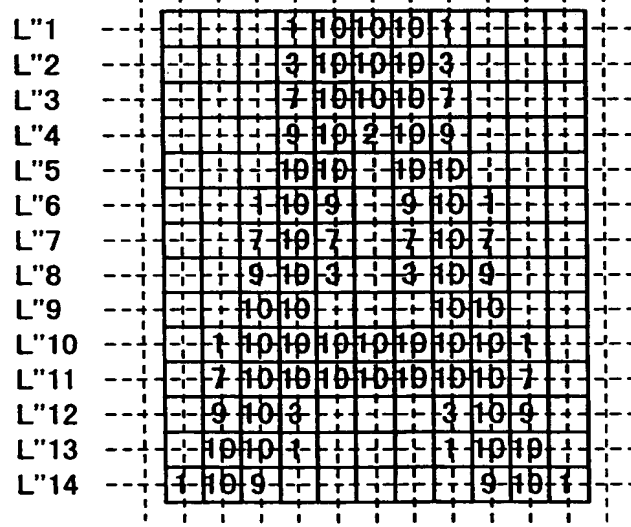
固定クロック信号



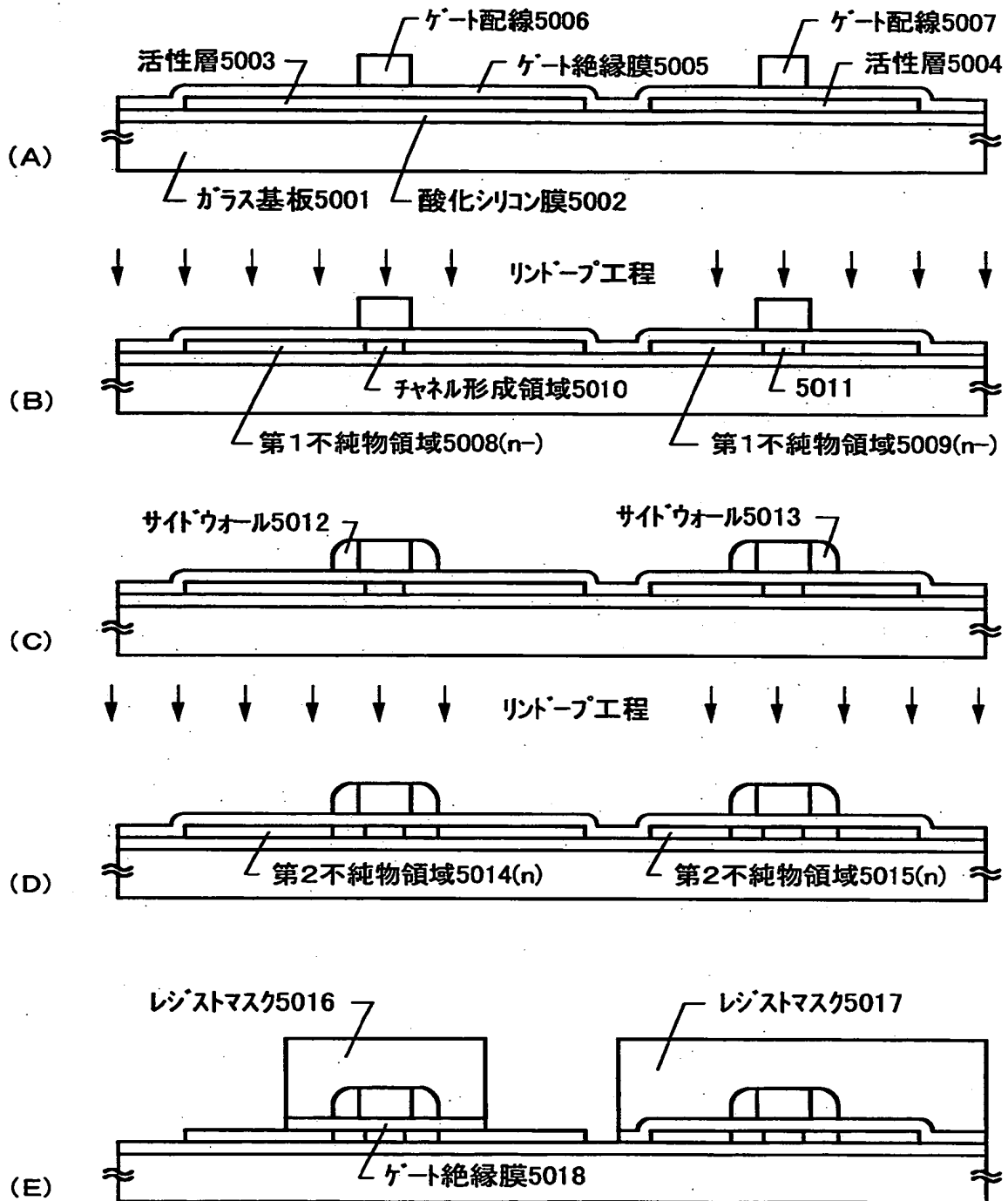
変調クロック信号



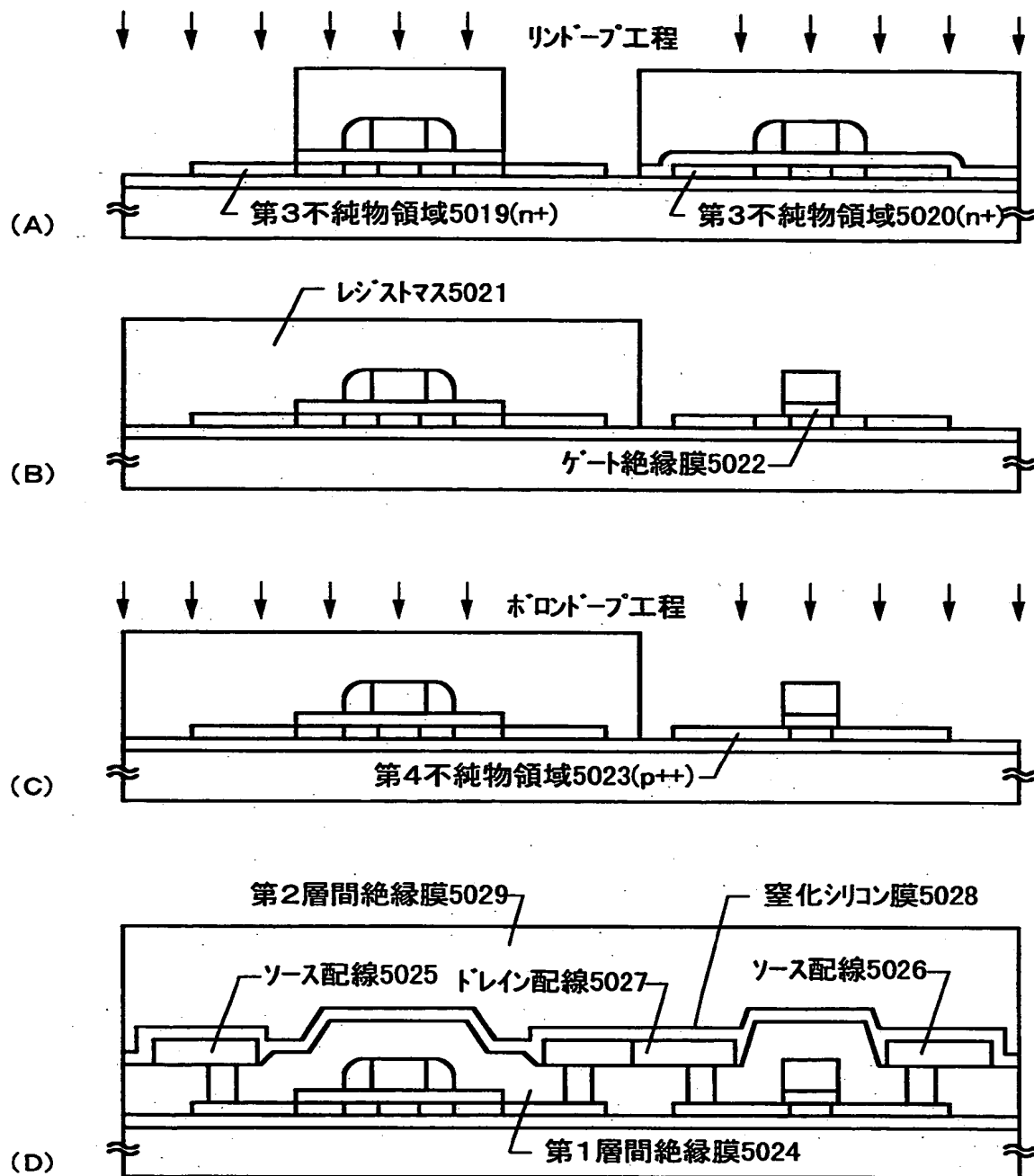
画面表示



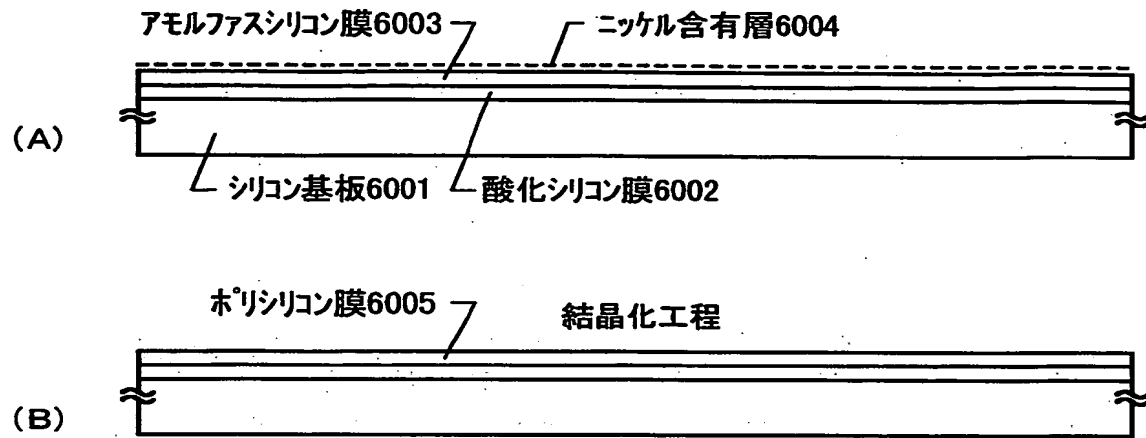
【図 24】



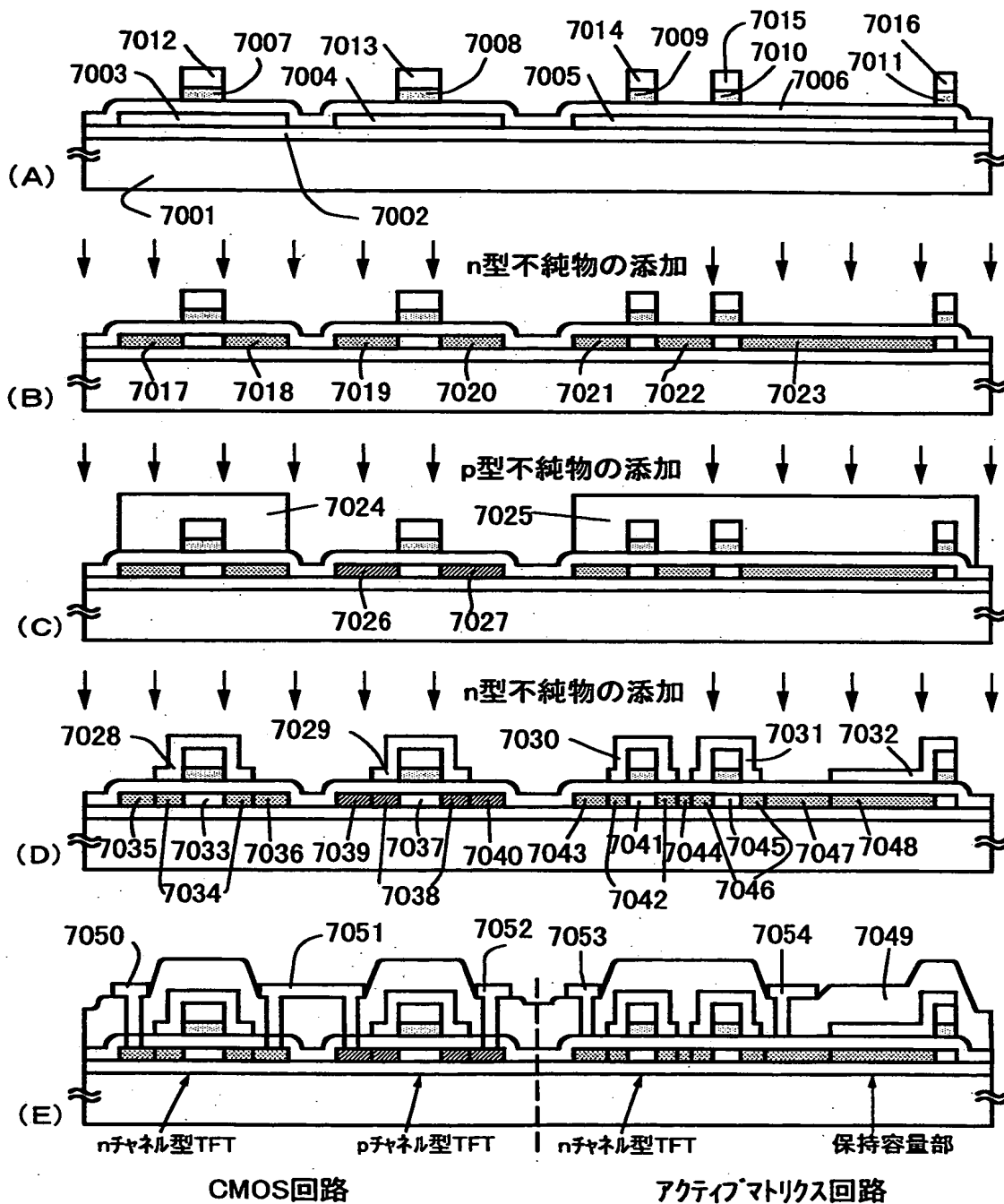
【図 25】



【図 26】

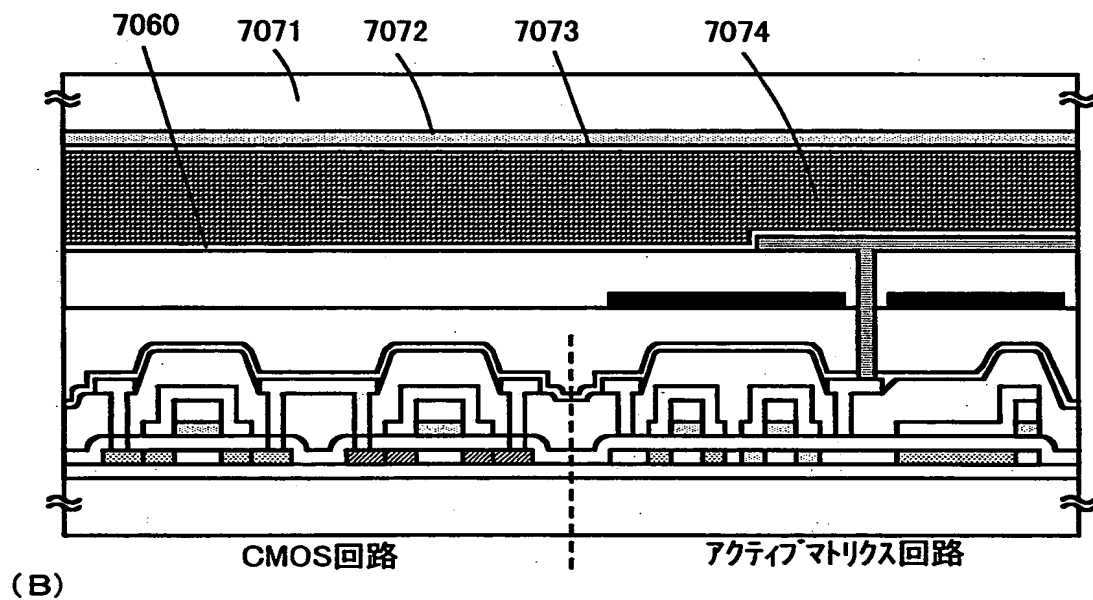
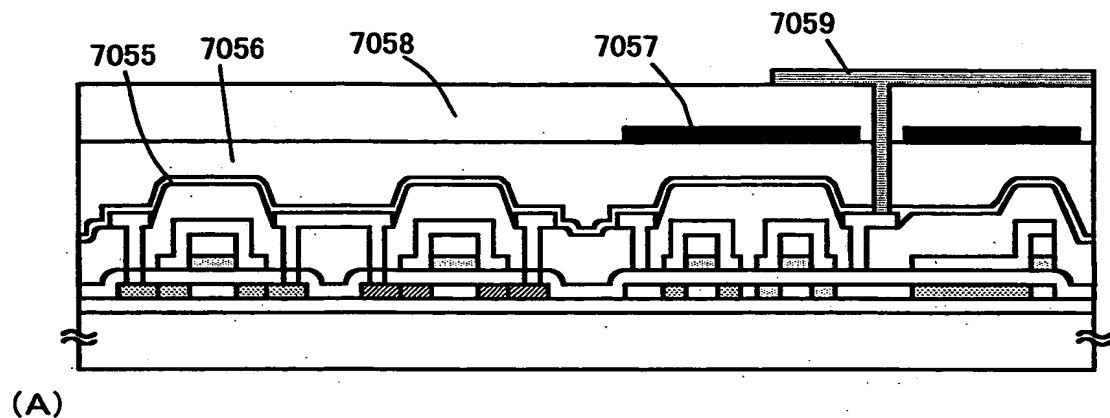


【図 27】



7001:基板、7002:下地膜、7003、7004、7005:半導体膜、7006:ゲート絶縁膜、
 7007、7008、7009、7010:第1の導電膜、7011:配線電極、
 7012、7013、7014、7015:第2の導電膜、7016:第2の容量配線、
 7024、7025:レジスタマスク、7028、7029、7030、7031:第2のゲート電極、
 7032:付加容量電極、7033、7027、7041、7042:チャネル領域、
 7034、7038、7042、7046:第1の不純物領域(n型)、7035、7043:ソース領域(n型)、
 7036、7047:ドレイン領域(n型)、
 7038:第1の不純物領域(p型)、7039:ソース領域(p型)、
 7040:ドレイン領域(p型)、7048:低濃度不純物領域、7049:第1の層間膜、
 7050、7052、7053:ソース電極、7051、7054:ドレイン電極

【図 28】



7055:パッシベーション膜、7056:第2の層間絶縁膜、7057:遮光膜、
7058:第3の層間絶縁膜、7059:画素電極、7060、7073:配向膜、
7071:対向基板、7072:対向電極、7074:液晶

【書類名】 要約書

【要約】

【課題】 アクティブマトリクス型半導体表示装置の水平解像度の向上を実現すること。

【解決手段】 本願発明によると、基準クロック信号が一定周期で周波数変調された変調クロック信号をアクティブマトリクス型半導体表示装置の駆動回路またはパッシブマトリクス型半導体表示装置の駆動回路に供給することにより、この変調クロック信号に基づいてサンプリングされるビデオ信号（画像信号）のサンプリング近傍の信号情報（エッジの有無、近さ）を半導体表示装置の該当する画素に濃淡情報として書き込むことができる。この本願発明の駆動方法は、このような濃淡情報によって、結果的に表示の見え方として解像度が上がったように見える現象（視覚のMach現象およびCraik-O'Brien現象）を利用するものである。

【選択図】 図3

【書類名】
【訂正書類】

職権訂正データ
特許願

<認定情報・付加情報>

【特許出願人】

申請人

【識別番号】

000153878

【住所又は居所】

神奈川県厚木市長谷 398 番地

【氏名又は名称】

株式会社半導体エネルギー研究所

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所